

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kenichi HAYASHI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR ASSEMBLY MODULE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

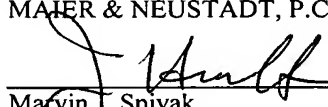
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-218681	July 26, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

James D. Hamilton
Registration No. 28,421



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月26日

出 願 番 号

Application Number:

特願2002-218681

[ST.10/C]:

[JP2002-218681]

出 願 人

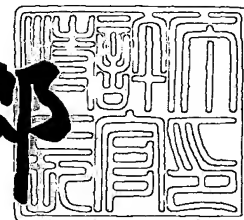
Applicant(s):

三菱電機株式会社

2002年 9月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3069678

【書類名】 特許願

【整理番号】 540953JP01

【提出日】 平成14年 7月26日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 1/18

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 林 建一

【発明者】

【住所又は居所】 福岡県福岡市西区今宿東一丁目1番1号 福菱セミコン
エンジニアリング株式会社内

【氏名】 川藤 寿

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 村井 淳一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 出田 吾朗

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体アセンブリモジュール

【特許請求の範囲】

【請求項 1】 プラスチックパッケージと、
プラスチックパッケージから外部に突出する複数のリードと、
プラスチックパッケージによって保護された単数又は複数の半導体素子と、
プラスチックパッケージによって保護され、半導体素子とリードとを接続する
電気配線とを有し、

リードを外部電気部材に設けられたリード挿入部に挿入してはんだ接合することにより、外部電気部材に実装されるようになっている挿入実装型の半導体装置
であって、

リードが、プラスチックパッケージ側に位置する第 1 リード部と、第 1 リード
部よりリード先端側に位置する第 2 リード部と、第 2 リード部よりリード先端側
に位置しリード挿入部に挿入される第 3 リード部とを有し、

第 2 リード部の断面積が、第 1 リード部の断面積よりも小さく設定され、

少なくとも一部のリードが、第 2 リード部よりリード先端側に位置して半導体
装置と外部電気部材との間隙を一定に規制する間隙規制手段を備えた間隙規制用
リードとされ、

かつ、間隙規制手段が、リード幅を第 2 リードの幅よりも局部的に大きくする
ことにより形成されていることを特徴とする半導体装置。

【請求項 2】 リードがプラスチックパッケージの側部に列状に配置されて
いて、該列の両端のリードのみが間隙規制用リードであることを特徴とする請求
項 1 に記載の半導体装置。

【請求項 3】 第 1 リード部の厚さと第 2 リード部の厚さとが同一であり、
かつ第 2 リード部の幅が第 1 リード部の幅よりも狭いことを特徴とする請求項 1
に記載の半導体装置。

【請求項 4】 第 2 リード部の断面積が第 3 リード部の断面積と同一である
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 間隙規制手段が、リード幅方向に関して両方向に突起する形

状に形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 間隙規制手段のリード幅が、第 1 リード部のリード幅と同一であることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 リードが、第 1 リード部に対応する広幅部と、第 3 リード部に対応する狭幅部と、広幅部と狭幅部とを連結するとともに 2 つの穴部が形成されたタイバ部とを有するリードフレームを直線状に切断することにより形成されたものであって、

上記両穴部が、リード幅方向に関して、狭幅部の範囲内には存在しないように該範囲の両側に位置するとともに、広幅部の両側辺の延長線上に位置するように形成されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 プラスチックパッケージと、
プラスチックパッケージから外部に突出する複数のリードと、
プラスチックパッケージによって保護された単数又は複数の半導体素子と、
プラスチックパッケージによって保護され、半導体素子とリードとを接続する電気配線とを有し、

リードを、外部電気部材に設けられたリード挿入部に挿入してはんだ接合することにより、外部電気部材に実装されるようになっている挿入実装型の半導体装置であって、

リードが、プラスチックパッケージ側に位置する第 1 リード部と、第 1 リード部よりリード先端側に位置する第 2 リード部と、第 2 リード部よりリード先端側に位置しリード挿入部に挿入される第 3 リード部とを有し、

第 2 リード部の断面積が、第 1 リード部の断面積よりも小さく設定され、

少なくとも一部のリードが、第 2 リード部よりリード先端側に位置して半導体装置と外部電気部材との間隙を一定に規制する間隙規制手段を備えた間隙規制用リードとされ、

かつ、間隙規制手段が、リードに 2 個所以上の屈曲個所を設けることにより形成されていることを特徴とする半導体装置。

【請求項 9】 第 3 リード部が、リード幅方向に関して、第 1 リード部が形成されている範囲内に形成され、

かつ、リード幅方向の一方側で、第 1 リード部の側辺と第 3 リード部の側辺とが同一直線上に位置していることを特徴とする請求項 8 に記載の半導体装置。

【請求項 1 0】 リードが、第 1 リード部に対応する広幅部と、第 3 リード部に対応する狭幅部と、広幅部と狭幅部とを連結するとともに 1 つの穴部が形成されたタイバ部とを有するリードフレームを直線状に切断することにより形成されたものであって、

上記穴部が、リード幅方向に関して、狭幅部の範囲を含むように位置するとともに、広幅部の一方の側辺の延長線上に位置しかつ他方の側辺の延長線上に位置しないように形成されていることを特徴とする請求項 9 に記載の半導体装置。

【請求項 1 1】 プラスチックパッケージと、
プラスチックパッケージから外部に突出する複数のリードと、
プラスチックパッケージによって保護された単数又は複数の半導体素子と、
プラスチックパッケージによって保護され、半導体素子とリードとを接続する電気配線とを有し、

リードを、外部電気部材に設けられたリード挿入部に挿入してはんだ接合することにより、外部電気部材に実装されるようになっている挿入実装型の半導体装置であって、

リードが、プラスチックパッケージ側に位置する第 1 リード部と、第 1 リード部よりリード先端側に位置する第 2 リード部と、第 2 リード部よりリード先端側に位置しリード挿入部に挿入される第 3 リード部とを有し、

第 2 リード部の断面積が、第 1 リード部の断面積よりも小さく設定され、

少なくとも一部のリードが、第 2 リード部よりリード先端側に位置して半導体装置と外部電気部材との間隙を一定に規制する間隙規制手段を備えた間隙規制用リードとされ、

間隙規制用リードにおいては、第 2 リード部と間隙規制手段とが、第 1 リード部よりもリード先端側でリードに穴部を設けることにより形成されていることを特徴とする半導体装置。

【請求項 1 2】 第 2 リード部の両側辺と第 1 リード部の両側辺とが、それぞれ、同一直線上に位置することを特徴とする請求項 1 1 に記載の半導体装置。

【請求項 1 3】 リードが、第 1 リード部に対応する広幅部と、第 3 リード部に対応する狭幅部と、広幅部と狭幅部とを連結するとともに 1 つの穴部が形成されたタイバ部とを有するリードフレームを直線状に切断することにより形成されたものであって、

上記穴部が、リード幅方向に関して、狭幅部の範囲を含むように位置するとともに、広幅部の両側辺の延長線上に位置しないように形成されていることを特徴とする請求項 1 2 に記載の半導体装置。

【請求項 1 4】 上記穴部が、対向する 2 辺がリード伸長方向又はリード幅方向と平行である長方形の角穴であることを特徴とする請求項 7、1 0 又は 1 3 に記載の半導体装置。

【請求項 1 5】 リードが、第 1 リード部に対応する広幅部と、第 3 リード部に対応する狭幅部と、広幅部と狭幅部とを連結するとともに狭幅部側の部位に 2 つの切欠部が形成されたタイバ部とを有するリードフレームを直線状に切断することにより形成されたものであって、

上記両切欠部が、リード幅方向に関して、狭幅部の範囲の両側に位置するとともに、広幅部の両側辺の延長線上に位置するように、かつ間隙規制手段を予め備えるように形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 1 6】 リードに、錫を基材とし、鉛を含まないはんだがコーティングされていることを特徴とする請求項 1 ～ 1 5 のいずれか 1 つに記載の半導体装置。

【請求項 1 7】 請求項 1 ～ 1 6 のいずれか 1 つに記載の半導体装置が、はんだを用いて外部電気部材に挿入実装されていることを特徴とする半導体アセンブリモジュール。

【請求項 1 8】 半導体装置が、錫を基材とし、鉛を含まないはんだを用いて外部電気部材に実装されていることを特徴とする請求項 1 7 に記載の半導体アセンブリモジュール。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、挿入実装型の半導体装置及び半導体アセンブリモジュールに関するものであり、より詳しくは、リードのはんだ付け性を改善することができ、とくにパワーモジュールにおける鉛フリーはんだ実装に対するリードのはんだ付け性を改善することができる半導体装置及び該半導体装置を用いた半導体アセンブリモジュールに関するものである。

【 0 0 0 2 】

【従来の技術】

一般に、挿入実装型の半導体装置は、該半導体装置から突出するリードを外部基板のスルーホール等に挿入してはんだ付けすることにより、外部基板に実装される。以下、図 2 3 (a) ~ (d) 及び図 2 4 に示す D I P I P M を例にとって、従来の挿入実装型の半導体装置の構造と、その外部基板への実装手法とを説明する。

【 0 0 0 3 】

図 2 3 (a) ~ (d) 及び図 2 4 に示すように、この従来の半導体装置 1 0 1 では、電力用半導体素子 1 0 2 と制御用半導体素子 1 0 3 とが、リード 1 0 4 を備えた銅製のリードフレーム 1 0 5 に搭載されている。両半導体素子 1 0 2 、 1 0 3 は、それぞれ、金属細線 6 、 7 によって、対応するリード 1 0 4 に電氣的に接続されている。さらに、半導体装置 1 0 1 は、放熱性を高めるためのヒートシンク 1 0 8 を備えている。ここで、リードフレーム 1 0 5 は回路基板を兼ねている。そして、これらの各部材 1 0 2 ~ 1 0 8 は、プラスチックパッケージ 1 1 0 によって封止されている。

【 0 0 0 4 】

図 2 3 (b) 、 (c) から明らかなとおり、従来の半導体装置 1 0 1 (D I P I P M) では、リード 1 0 4 は、外部基板 (図示せず) のスルーホールに挿入される幅の狭い先端側の部分 B_1 と、この部分 B_1 よりも幅の広い根元側の部分 B_2 とからなる。そして、半導体装置 1 0 1 を外部基板に搭載する際には、リード 1 0 4 の幅が変化する部分を利用して、半導体装置 1 0 1 と外部基板とを、両者の間隙 (間隔) が一定に保たれるように、高さ方向に位置合せするようにしている。

【 0 0 0 5 】

【発明が解決しようとする課題】

ところで、一般に、挿入実装型の半導体装置の外部基板へのはんだ付けには、フローはんだ付け方式や、ポイントフローはんだ付け方式が用いられる。これらは、はんだ付けされるリードと外部基板とにフラックスを供給した後、これらを予熱し、この後溶融したはんだを供給することにより、リード及び外部基板の温度を、はんだの液相線温度以上に上昇させ、はんだ付けを行うものである。

【 0 0 0 6 】

そして、この従来の半導体装置 1 0 1 の外部基板へのはんだ付けも、同様の手法でなされるが、この場合、リード 1 0 4 のはんだ付けされる部分 B_1 から、外部基板には挿入されない部分 B_2 を通ってプラスチックパッケージ 1 1 0 に比較的大量の熱が放出される。このため、はんだ付けプロセス中に、リード 1 0 4 のはんだ付けされるべき部分 B_1 の温度がはんだの液相線温度に達せず、はんだ付け不良が生じるといった問題がある。

【 0 0 0 7 】

さらに、環境問題の観点から近年使用量が増加している S_n をベースとする Pb フリーはんだを用いる場合、従来用いられている $S_n - Pb$ 共晶はんだに比べて液相線温度が $40^\circ K$ 程度高くなるため、上記問題はより顕在化する。これは、後で説明するとおり、はんだの液相線温度の上昇分 ($40^\circ K$) を補償するために、予熱温度や溶融はんだの温度などといったプロセス温度を高めることが困難だからである。

【 0 0 0 8 】

ここで、表面実装型の半導体装置の場合には、はんだ付けプロセスにおいて、一般に、はんだ付けされる構造体全体、すなわち半導体装置及び基板の全体を加熱する方式、例えばフローはんだ付け等の方式が用いられる。このため、リードから樹脂パッケージへの熱放散によるはんだ付け不良は起こらず、問題は生じない。

【 0 0 0 9 】

この課題に対して、特開昭 6 3 - 7 6 3 5 7 公報では、図 2 5 に示すように、

樹脂パッケージ 2 0 1 内に、半導体チップ 2 0 2 と、金属細線 2 0 3 と、3 種のリード 2 0 5、2 0 7、2 0 9 とが埋め込まれた半導体装置において、高さ調整用のリード段差部 2 1 0、2 1 1、2 1 2 の位置を、樹脂パッケージ 2 0 1 内に位置するリード埋込部 2 0 4、2 0 6、2 0 8 の体積に応じて相違させるといった手法が提案されている。

【 0 0 1 0 】

しかしながら、この手法によれば、リード段差部 2 1 1 が最も基板に近いリード 2 0 7 では、はんだ付け性が全く改善されないといった問題がある。半導体装置のはんだ付け性を改善するには、全てのリードについてはんだ付け性を改善することが必要であることは明白である。この点において、この手法による課題解決は不十分であるといわざるをえない。とくに、液相線温度の高い鉛フリーはんだを用いるはんだ実装の場合、はんだ付け不良が発生する危険性が高いといった問題もある。

【 0 0 1 1 】

さらに、基板に接触して半導体装置と基板との間隙を一定に規定するには、同じ高さのところに 2 つ以上のリード段差部を設けることが必要である。しかし、この手法では、リード段差部の位置は、リード埋込部の金属リードの体積に応じて相違するので、同じ高さのところに 2 つ以上のリード段差部を設けるには、リードの設計に大きな制約を課さなければならないといった問題もある。また、逆に、リード埋込部の金属リードの体積が異なるリード間において、同じ高さのところにリード段差部を設けた場合、良好なはんだ付け性を確保できない危険性が高いといった問題がある。さらにまた、この手法では、リード段差部の位置を決めることが非常に煩雑であるといった問題もある。

【 0 0 1 2 】

次に、予熱温度を高くするといったアプローチにより、上記問題を回避しようとする、外部基板全体の温度が上昇してしまう。そして、外部基板には半導体装置 1 0 1 だけでなく種々の電子部品が実装され、その中には耐熱温度が低いもの（例えば、電解コンデンサ）も少なからず存在する。このため、予熱温度を高めるといったアプローチによる問題解決には限界がある。さらに、予熱によって

半導体装置 1 0 1 ないし外部基板が高温になりすぎると、フラックスが活性力を失ってしまう。このため、肝心のはんだ付けプロセス時に、その効果を発揮することができず、却ってはんだ付け性を損なってしまうといった不具合が生じる。

【0 0 1 3】

また、供給される溶融はんだの温度を高くすることにより、上記問題を回避しようとするアプローチもなされているが、前記のとおり、部品の耐熱温度やフラックスの失活の観点から、このアプローチによる問題解決にも限界がある。さらに、プロセス時間を長くするといったアプローチも可能であるが、この場合も、外部基板全体の温度が上昇してしまうため、上記問題が解決されないばかりか、プロセス時間の増加により半導体装置のコストアップを招くといった不具合が生じる。

【0 0 1 4】

なお、前記のとおり、P b フリーはんだを用いて半導体装置を実装する場合は、はんだの液相線温が 4 0 ° K 程度も上昇するわけであるから、上記問題はより顕著になり、前記の各アプローチによる解決がより困難になることはいうまでもない。

【0 0 1 5】

本発明は、上記従来の問題を解決するためになされたものであって、予熱温度や供給する溶融はんだの温度を高めることなく、またプロセス時間を長くすることなく、挿入実装型の半導体装置をはんだ付けにより外部基板等に容易にかつ確実に実装することを可能にする手段を提供することを解決すべき課題とする。

【0 0 1 6】

【課題を解決するための手段】

上記課題を解決するためになされた本発明の第 1 の態様にかかる半導体装置は、(i) プラスチックパッケージと、(ii) プラスチックパッケージから外部に突出する複数のリードと、(iii) プラスチックパッケージによって保護された単数又は複数の半導体素子と、(iv) プラスチックパッケージによって保護され、半導体素子とリードとを接続する電気配線とを有し、(v) リードを外部電気部材に設けられたリード挿入部に挿入してはんだ接合することにより、外部電気

部材に実装されるようになっている挿入実装型の半導体装置であって、(vi) リードが、プラスチックパッケージ側に位置する第1リード部と、第1リード部よりリード先端側に位置する第2リード部と、第2リード部よりリード先端側に位置しリード挿入部に挿入される第3リード部とを有し、(vii) 第2リード部の断面積が、第1リード部の断面積よりも小さく設定され、(viii) 少なくとも一部のリードが、第2リード部よりリード先端側に位置して半導体装置と外部電気部材との間隙を一定に規制する間隙規制手段を備えた間隙規制用リードとされ、(ix) かつ、間隙規制手段が、リード幅を第2リードの幅よりも局部的に大きくすることにより形成されていることを特徴とするものである。

【 0 0 1 7 】

本発明の第1の態様にかかる半導体装置においては、リードが、リードフレームの一部として形成されているのが好ましい。リードがプラスチックパッケージの側部に列状に配置されている場合は、この列の両端のリードのみが間隙規制用リードであるのが好ましい。また、第1リード部の厚さと第2リード部の厚さとが同一であり、かつ第2リード部の幅が第1リード部の幅よりも狭いのが好ましい。

【 0 0 1 8 】

本発明の第1の態様にかかる半導体装置においては、リード部が、銅又は銅を主成分とする合金で形成されているのが好ましい。第2リード部の断面積は、第3リード部の断面積の175%以下であるのが好ましく、130%以下であるのがより好ましい。半導体素子としては、例えば電力用半導体素子、制御用半導体素子等があげられる。また、第2リード部の断面積は、第3リード部の断面積と同一であるのが好ましい。

【 0 0 1 9 】

本発明の第1の態様にかかる半導体装置においては、間隙規制手段が、リード幅方向に関して両方向に突起する形状に形成されていてもよい。この場合、間隙規制手段のリード幅は、第1リード部のリード幅と同一であるのが好ましい。

また、リードは、第1リード部に対応する広幅部と、第3リード部に対応する狭幅部と、広幅部と狭幅部とを連結するとともに2つの穴部が形成されたタイバ

部とを有するリードフレームを直線状に切断（タイバカット）することにより形成されたものであってもよい。この場合、両穴部は、リード幅方向に関して、狭幅部の範囲内には存在しないように該範囲の両側に位置するとともに、広幅部の両側辺の延長線上に位置するように形成される。

【 0 0 2 0 】

本発明の第 2 の態様にかかる半導体装置は、本発明の第 1 の態様にかかる半導体装置のように間隙規制手段がリード幅を第 2 リードの幅よりも局部的に大きくすることにより形成されているのではなく、間隙規制手段がリードに 2 個所以上の屈曲個所を設けることにより形成されている。この半導体装置においては、第 3 リード部が、リード幅方向に関して、第 1 リード部が形成されている範囲内に形成され、かつ、リード幅方向の一方側で、第 1 リード部の側辺と第 3 リード部の側辺とが同一直線上に位置しているのが好ましい。

【 0 0 2 1 】

本発明の第 2 の態様にかかる半導体装置においては、リードが、第 1 リード部に対応する広幅部と、第 3 リード部に対応する狭幅部と、広幅部と狭幅部とを連結するとともに 1 つの穴部が形成されたタイバ部とを有するリードフレームを直線状に切断することにより形成されたものであってもよい。この場合、穴部は、リード幅方向に関して、狭幅部の範囲を含むように位置するとともに、広幅部の一方の側辺の延長線上に位置しかつ他方の側辺の延長線上に位置しないように形成される。

【 0 0 2 2 】

本発明の第 3 の態様にかかる半導体装置は、本発明の第 1 の態様にかかる半導体装置のように間隙規制手段がリード幅を第 2 リードの幅よりも局部的に大きくすることにより形成されているのではなく、間隙規制用リードにおいて第 2 リード部と間隙規制手段とが、第 1 リード部よりもリード先端側でリードに穴部を設けることにより形成されている。この半導体装置においては、第 2 リード部の両側辺と第 1 リード部の両側辺とが、それぞれ、同一直線上に位置するのが好ましい。

【 0 0 2 3 】

本発明の第 3 の態様にかかる半導体装置においては、リードが、第 1 リード部に対応する広幅部と、第 3 リード部に対応する狭幅部と、広幅部と狭幅部とを連結するとともに 1 つの穴部が形成されたタイバ部とを有するリードフレームを直線状に切断することにより形成されたものであってもよい。この場合、穴部が、リード幅方向に関して、狭幅部の範囲を含むように位置するとともに、広幅部の両側辺の延長線上に位置しないように形成される。

【 0 0 2 4 】

本発明の第 1 ～第 3 の態様にかかる半導体装置においては、上記穴部は、対向する 2 辺がリード伸長方向又はリード幅方向と平行である長方形の角穴であるのが好ましい。

また、本発明の第 1 ～第 3 の態様にかかる半導体装置においては、リードに、S n（錫）を基材とし、P b（鉛）を含まないはんだがコーティングされているのが好ましい。

【 0 0 2 5 】

本発明の第 1 の態様にかかる半導体装置においては、リードが、第 1 リード部に対応する広幅部と、第 3 リード部に対応する狭幅部と、広幅部と狭幅部とを連結するとともに狭幅部側の部位に 2 つの切欠部が形成されたタイバ部とを有するリードフレームを直線状に切断することにより形成されたものであってもよい。この場合、両切欠部は、リード幅方向に関して、狭幅部の範囲の両側に位置するとともに、広幅部の両側辺の延長線上に位置するように、かつ間隙規制手段を予め備えるように形成される。

【 0 0 2 6 】

本発明にかかる半導体アセンブリモジュールは、本発明の第 1 ～第 3 の態様のいずれか 1 つにかかる半導体装置が、はんだを用いて外部電気部材に挿入実装されていることを特徴とするものである。この半導体アセンブリモジュールにおいては、半導体装置が、S nを基材とし、P bを含まないはんだを用いて外部電気部材に実装されているのが好ましい。

【 0 0 2 7 】

【発明の実施の形態】

以下、本発明の実施の形態を具体的に説明する。

実施の形態 1.

以下、本発明の実施の形態 1 を説明する。実施の形態 1 にかかる半導体装置は、静電対応パッケージ型の大型 D I P である。

図 1 (a) ～ (d) は、それぞれ、実施の形態 1 にかかる半導体装置の平面図、正面図、後面図及び側面図である。図 2 (a) は、この半導体装置の側面断面図であり、図 2 (b) はこの半導体装置の 1 つの端部リードを拡大して示した斜視図である。また、図 3 は、この半導体装置を基板に実装した状態を示す正面図である。なお、図 1 ～図 3 に示す半導体装置は、いわゆる挿入実装型の半導体装置である。

【 0 0 2 8 】

図 1 ～図 3 に示すように、実施の形態 1 にかかる半導体装置 1 においては、電力用半導体素子 2 と制御用半導体素子 3 とが、複数のリード 4 を備えた銅製のリードフレーム 5 に搭載されている。両半導体素子 2、3 は、それぞれ、対応するリード 4 と、金属細線 6、7 によって電氣的に接続されている。さらに、半導体装置 1 は、放熱性を高めるためのヒートシンク 8 を備えている。ここで、リードフレーム 5 は回路基板を兼ねている。半導体装置 1 は、これを構成する上記各部材 2 ～8 がプラスチックパッケージ 1 0 によって封止された構造を有している。なお、リード 4 の一部は、プラスチックパッケージ 1 0 の外に露出している。

【 0 0 2 9 】

半導体装置 1 の前面又は後面で半導体装置 1 の長手方向に一行に並んでいる複数のリード 4 のうち、列の両端部に位置するリード 4 a、4 b、4 c、4 d (以下、「端部リード」という。) には、それぞれ、突起状の間隙規制部 9 が設けられている。この間隙規制部 9 は、半導体装置 1 を外部基板 2 5 に挿入・実装したときに、半導体装置 1 と外部基板 2 5 との間隙 d (間隔) を一定に保つために設けられている。

【 0 0 3 0 】

これらの端部リード 4 a ～4 d は、それぞれ、プラスチックパッケージ 1 0 から突出する第 1 リード部 2 1 と、第 1 リード部 2 1 と間隙規制部 9 との間に位置

する第2リード部22と、間隙規制部9よりも先端側（外側）に位置し外部基板25に挿入される第3リード部23とを備えている。ここで、第2、第3リード部22、23の幅（リードの伸びる方向と垂直な方向の寸法）は、それぞれ、第1リード部21の幅よりも狭くなっている。このため、第2、第3リード部22、23の断面積（リードの伸びる方向と垂直な断面）は、第1リード部21の断面積よりも小さくなっている。なお、この間隙規制部9の長さ（リードの伸びる方向の寸法）は、間隙dを一定に保つことができる強度を有する範囲において、小さいほど望ましい。

【0031】

以下、半導体装置1の製造方法を説明する。

この半導体装置1の製造プロセスにおいては、まず、銅製のリードフレーム5に、電力用半導体素子2と制御用半導体素子3とをダイボンディングにより取り付ける（搭載する）。次に、電力用半導体素子2とリードフレーム5とを、A1からなる金属細線6を用いてワイヤボンディングにより電氣的に接続する一方、制御用半導体素子3とリードフレーム5とを、Auからなる金属細線7を用いてワイヤボンディングにより電氣的に接続する。そして、両半導体素子2、3と両金属細線6、7とを保護するために、トランスファーマールド技術を用いて、プラスチックパッケージ10を形成する。その際、プラスチックパッケージ10内にヒートシンク8を組み込む。

【0032】

この後、リードフレーム5の余分な部分、例えばタイバなどをタイバカット工程で切断し、リード4（端部リード4a～4dを含む）を形成する。リード4には、ディッピング技術やめっき技術等によりはんだをコーティングし、さらにリードフォーミングを行う。これにより、半導体装置1（製品）が完成する。

【0033】

以下、リードフレーム5の形状を詳細に説明する。

図4は、リードフレーム5を示している。なお、図4中の破線は、プラスチックパッケージ10の外形を示している。また、図5は、図4中にRで示された、タイバ11を含む部分（以下、「タイバ部」という。）を拡大して示している。

【 0 0 3 4 】

図 4 及び図 5 に示すように、タイバ 1 1 の伸びる方向（図 4、図 5 では左右方向）と垂直な方向にみて、タイバ 1 1 よりもリードフレーム 5 の中央側（以下、「内側」という。）に位置する部分 4 1（以下、「広幅部」という。）の幅は、タイバ 1 1 よりもリードフレームの端部側（以下、「外側」という。）に位置する部分 4 3（以下、「狭幅部」という。）の幅よりも大きくなっている。最終的な製品の状態では、広幅部 4 1 の一部は、プラスチックパッケージ 1 0 から外部に突出して、リード 4 の一部をなす第 1 リード部 2 1 を形成する。このようにリード 4 のプラスチックパッケージ 1 0 に近い部分（以下、「根元部」という。）の幅を広くしてその剛性を高くすることにより、半導体装置 1 の剛性、とくに外部基板 2 5 への実装後の剛性を確保している。

【 0 0 3 5 】

また、半導体装置 1 を製造する際には、リードフレーム 5 の変形などといった不良、とくにモールド工程においてリードフレーム 5 の一部がモールド樹脂により流されてしまったり、ねじれ変形が発生するといった不良を防ぐためにも、根元部の剛性を高くする必要がある。これにより、半導体装置 1 の製造の容易性を確保している。このような理由により、リード 4 全体の幅を狭くすることはできない。そこで、リード 4 の根元部、すなわち第 1 リード部 2 1 では、その幅を、従来のこの種の半導体装置のリードと同様にしている。

【 0 0 3 6 】

次に、端部リード 4 a ～ 4 d を形成するためのタイバカット工程を説明する。

図 6 は、図 5 に示すタイバ近傍部に、これを切断すべき線、すなわちタイバカットライン（破線）を追加したものである。すなわち、タイバカット工程では、タイバ近傍部をこのタイバカットラインに沿って切断する。図 6 から明らかとなり、タイバ 1 1 と広幅部 4 1 と狭幅部 4 3 とを含むタイバ近傍部をこのタイバカットラインに沿って切断することにより、間隙規制部 9 と第 1 ～ 第 3 リード部 2 1 ～ 2 3 とを備えた端部リード 4 a ～ 4 d を形成することができる。したがって、ほぼ従来のこの種の半導体装置の製造プロセスと同様の製造性を確保しながら、本発明の特徴であるリード形状を、容易に得ることができる。

【 0 0 3 7 】

図 7 は、端部リード 4 a ～ 4 d のもう 1 つの形成手法を示している。図 7 に示すように、この形成手法では、タイバ 1 1 に、所定の形状を有する 2 つの切欠部 3 1 が設けられたリードフレーム 5 を用いる。これらの切欠部 3 1 は、狭幅部 4 3 の両側において、タイバ 1 1 の外側の部分に形成されている。そして、これらの切欠部 3 1 は、タイバ 1 1 に、予め、間隙規制部 9 と第 2 リード部 2 2 とが形成されるような形状を有している。

【 0 0 3 8 】

この形成手法によれば、タイバカット工程で、タイバ 1 1 よりも内側に位置する広幅部 4 1 の外形に沿って、図 7 中の破線で示すように、直線的にタイバカットを行うだけで、本発明の特徴であるリード形状を、容易に得ることができる。この場合、シンプルな金型によって容易にプレス切断を行うことができるので、コスト上も有利である。また、予め、間隙規制部 9 をリードフレーム 5 に形成しているので、該間隙規制部 9 の形状が安定するといった利点もある。

【 0 0 3 9 】

とくに、半導体装置 1 がパワー半導体素子を含む場合、第 3 リード部 2 3 の断面積は、電流容量によって決定されることが多い。この場合、第 2 リード部 2 2 の断面積を、第 3 リード部 2 3 よりも小さくすることはできない。したがって、第 2 リード部 2 2 の断面積を第 3 リード部 2 3 の断面積と同じにすると、最も効率よくはんだ付け性を改善することができる。つまり、第 2 リード部 2 2 の断面積（幅）と第 3 リード部 2 3 の断面積（幅）とを同一にして、さらに両者間に間隙規制部 9 を設ければ、前記の利点に加えて、最大限にはんだ付け性を改善することができるという利点もある。

【 0 0 4 0 】

以下、図 3 を参照しつつ、半導体装置 1 を外部基板 2 5 に実装する方法を説明する。挿入実装型の半導体装置 1 の実装においては、半導体装置 1 の各リード 4（端部リード 4 a ～ 4 d を含む）を、それぞれ、外部基板 2 5 に設けられた対応するスルーホール 2 6 に挿入する。このとき、半導体装置 1 は、各端部リード 4 a ～ 4 d に設けられた間隙規制部 9 によって、半導体装置 1 と外部基板 2 5 との

間隙 d（間隔）が一定となるように位置決めされる。

【 0 0 4 1 】

次に、はんだ付けされる外部基板 2 5 のスルーホール 2 6 とリード 4 とにフラックスを供給する。この後、予熱工程を経て、フローはんだ付け手法により、外部基板 2 5 の、半導体装置 1 が実装された面とは反対側の面側から、溶融したはんだをスルーホール 2 6 とリード 4 とに供給する。そして、スルーホール 2 6 の温度とリード 4 の温度とを、供給したはんだの液相線温度以上に上昇させることにより、良好なはんだ付けを行い、この後はんだを凝固させる。

【 0 0 4 2 】

ここで、前記温度上昇が不十分な場合は、はんだ濡れが不十分となり、はんだ付け不良を引き起こす。これは、前記のとおり、一般的には、リード 4 からパッケージ 1 0 への放熱量が多いために生じる現象である。そこで、この実施の形態 1 にかかる半導体装置 1 では、リード 4 からパッケージ 1 0 への放熱量を、断面積（幅）の小さい第 2 リード部 2 2 を設けることにより低減するようにしている。すなわち、第 2 リード部 2 2 の断面積が小さいので、リード 4 からパッケージ 1 0 への放熱量が大幅に低減され、上記現象が生じない。これにより、良好なはんだ付け性を実現することができる。より具体的には、リード 4 からパッケージ 1 0 への伝熱経路である第 2 リード部 2 2 の断面積を小さくすることにより、リード 4 からパッケージ 1 0 に至る熱抵抗を増大させ、リード 4 からパッケージ 1 0 への放熱量を低減するようにしている。

【 0 0 4 3 】

その結果、実施の形態 1 にかかる半導体装置 1 によれば、従来のはんだ付けプロセスを変更することなく、はんだ付け不良を低減させることができる。このため、不良品の手直し等にかかるコストを低減することができるといったメリットがある。

【 0 0 4 4 】

このように、実施の形態 1 にかかる半導体装置 1 においては、プラスチックパッケージ 1 0 から突出する端部リード 4 a ～ 4 d に、それぞれ、根元部に位置する断面積が大きい第 1 リード部 2 1 と、間隙規制部 9 と、第 2 リード部 2 2 とが

設けられている。そして、第 2 リード部 2 2 の断面積は、第 1 リード部 2 1 の断面積よりも小さく、かつ間隙規制部 9 の幅よりも小さい。このため、外部基板 2 5 に実装した後における半導体装置 1 の剛性、半導体装置 1 自体の製造の容易性、及び、外部基板 2 5 への半導体装置 1 の実装時における位置合せ性を確保しつつ、リード 4 を外部基板 2 5 に挿入し、はんだ付けして実装する際の、はんだ付け性を改善することができる。

【 0 0 4 5 】

実施の形態 2.

以下、図 8 ～図 1 0 を参照しつつ、本発明の実施の形態 2 を説明する。ただし、実施の形態 2 にかかる半導体装置は図 1 ～図 7 に示す実施の形態 1 にかかる半導体装置と多くの共通点をもつ。そこで、以下では、説明の重複を避けるため、主として実施の形態 1 と異なる点を説明する。なお、図 8 ～図 1 0 中において、図 1 ～図 7 に示す実施の形態 1 の部材と共通な部材には、同一の参照番号が付されている。なお、ここでは、間隙規制部 9 の形状が長形状の場合について例示したが、形状はこれに限定されるものではなく、正方形、台形、三角形等の形状であっても、間隙を規制できる形状であればよい。

【 0 0 4 6 】

図 8 (a) は、実施の形態 2 にかかる半導体装置の正面図である。図 8 (b) は、この半導体装置の 1 つの端部リードを拡大して示した斜視図である。図 8 に示す半導体装置は、挿入実装型の半導体装置である。

図 8 (a) 、 (b) に示すように、実施の形態 2 にかかる半導体装置 1 では、各端部リード 4 a ～ 4 d に設けられた間隙規制部 9 が、リード幅方向にみて両方向に突起している。すなわち、第 2 リード部 2 2 と間隙規制部 9 と第 3 リード部 2 3 とは十字形をなしている。その他の点については、実施の形態 1 にかかる半導体装置 1 と同様である。つまり、実施の形態 2 にかかる半導体装置 1 は、実施の形態 1 にかかる半導体装置とは、端部リード 4 a ～ 4 d の形状が異なるだけである。

【 0 0 4 7 】

次に、端部リード 4 a ～ 4 d を形成するためのタイバカット工程を説明する。

図 9 は、図 5 に示すタイバ近傍部にタイバカットライン（破線）を追加したものである。すなわち、タイバカット工程では、タイバ近傍部をタイバカットラインに沿って切断する。図 9 から明らかなとおり、タイバ 1 1 と広幅部 4 1 と狭幅部 4 3 とを含むタイバ近傍部をこのタイバカットラインに沿って切断することにより、図 8（b）に示すような間隙規制部 9 と第 1 ～第 3 リード部 2 1 ～2 3 とを備えた端部リード 4 a ～4 d を形成することができる。したがって、ほぼ従来のこの種の半導体装置の製造プロセスと同様の製造性を確保しながら、本発明の特徴であるリード形状を、容易に得ることができる。

【 0 0 4 8 】

図 1 0 は、端部リード 4 a ～4 d のもう 1 つの形成手法を示している。図 1 0 に示すように、この形成手法では、タイバ 1 1 に、長方形の 2 つの角穴 3 2 が設けられたリードフレーム 5 を用いる。これらの角穴 3 2 は、おおむね狭幅部 4 3 の両側において、タイバ 1 1 のほぼ中央部に形成されている。そして、これらの角穴 3 2 は、直線的なタイバカットにより、タイバ 1 1 に間隙規制部 9 と第 2 リード部 2 2 とが形成されるような形状を有している。

【 0 0 4 9 】

この形成手法によれば、タイバカット工程で、タイバ 1 1 よりも内側に位置する広幅部 4 1 の外形に沿って、図 1 0 中の破線で示すように、直線的にタイバカットを行うだけで、本発明の特徴であるリード形状を、容易に得ることができる。この場合、シンプルな金型によって容易にプレス切断を行うことができるので、コスト上も有利である。

【 0 0 5 0 】

この形成手法によれば、実施の形態 1 の場合に比べて、次のメリットがさらに付加される。すなわち、間隙規制部 9 が両側に突起しているので、位置決め安定性が高い。また、タイバ 1 1 には、切欠部 3 1 でなく角穴 3 2 が設けられるので、切欠部 3 1（図 7 参照）が設けられる場合に比べてタイバ部の剛性が大きく、半導体装置 1 の製造プロセスに及ぼす影響が極めて小さい。この場合、端部リード 4 a ～4 d を曲げる部位は、第 1 リード部 2 1、第 2 リード 2 2 のいずれでもよい。なお、この形成手法では、間隙規制部 9 を予めリードフレーム 5 に完全に

形成する（作り込む）ことはできない。

【0051】

以上、実施の形態2にかかる半導体装置1においても、実施の形態1にかかる半導体装置1の場合と同様に、あるいはそれ以上に外部基板25に実装した後における半導体装置1の剛性、半導体装置1自体の製造の容易性、及び、外部基板25への半導体装置1の実装時における位置合せ性を確保しつつ、リード4を外部基板25に挿入し、はんだ付けして実装する際の、はんだ付け性を改善することができる。

【0052】

実施の形態3.

以下、図11～図13を参照しつつ、本発明の実施の形態3を説明する。ただし、実施の形態3にかかる半導体装置は図1～図7に示す実施の形態1にかかる半導体装置と多くの共通点をもつ。そこで、以下では、説明の重複を避けるため、主として実施の形態1と異なる点を説明する。なお、図11～図13中において、図1～図7に示す実施の形態1の部材と共通な部材には、同一の参照番号が付されている。

【0053】

図11(a)は、実施の形態3にかかる半導体装置の正面図である。図11(b)は、この半導体装置の1つの端部リードを拡大して示した斜視図である。図11(c)は、端部リードの変形例を示す斜視図である。図11に示す半導体装置は、挿入実装型の半導体装置である。

【0054】

図11(a)～(c)に示すように、実施の形態3にかかる半導体装置1では、各端部リード4a～4dに設けられた間隙規制部9が、該端部リード4a～4dの幅の狭い部分に複数個の屈曲部位を設けることにより、すなわち複数回屈曲させることにより形成されている。なお、図11(a)、(b)に示す端部リード4bでは、直角の屈曲部位が2つ設けられ、図11(c)に示す端部リード4bでは、直角の屈曲部位が4つ設けられている。その他の点については、実施の形態1にかかる半導体装置1と同様である。つまり、実施の形態3にかかる半導

体装置 1 は、実施の形態 1 にかかる半導体装置とは、端部リード 4 a ～ 4 d の形状が異なるだけである。

【 0 0 5 5 】

次に、端部リード 4 a ～ 4 d を形成するためのタイバカット工程を説明する。

実施の形態 3 にかかるタイバカット工程では、タイバ近傍部を、図 1 2 (a) に示すタイバカットライン（破線）に沿って切断する。なお、このタイバ近傍部は、図 5 に示すタイバ近傍部に比べて、狭幅部 4 3 の位置が、タイバ 1 1 の伸びる方向にずれている。

【 0 0 5 6 】

図 1 2 (a) から明らかなとおり、タイバ 1 1 と広幅部 4 1 と狭幅部 4 3 とを含むタイバ近傍部をこのタイバカットラインに沿って切断することにより、図 1 1 (b) に示すような間隙規制部 9 と第 1 ～ 第 3 リード部 2 1 ～ 2 3 とを備えた端部リード 4 a ～ 4 d を形成することができる。なお、図 1 1 (c) に示す端部リード 4 a ～ 4 d を形成する場合は、図 5 に示すタイバ近傍部を、図 1 2 (b) に示すタイバカットライン（破線）に沿って切断する。したがって、ほぼ従来のこの種の半導体装置の製造プロセスと同様の製造性を確保しながら、本発明の特徴であるリード形状を、容易に得ることができる。

【 0 0 5 7 】

図 1 3 は、端部リード 4 a ～ 4 d のもう 1 つの形成手法を示している。図 1 3 に示すように、この形成手法では、タイバ 1 1 に、長方形の角穴 3 3 が設けられたリードフレーム 5 を用いる。この角穴 3 3 は、広幅部 4 1 と対応する部分よりややタイバ 1 1 の伸びる方向にややずれた位置において、タイバ 1 1 のほぼ中央部に形成されている。そして、この角穴 3 3 は、直線的なタイバカットにより、タイバ 1 1 に間隙規制部 9 と第 2 リード部 2 2 とが形成されるような形状を有している。

【 0 0 5 8 】

この形成手法によれば、タイバカット工程で、タイバ 1 1 よりも内側に位置する広幅部 4 1 の外形に沿って、図 1 3 中の破線で示すように、直線的にタイバカットを行うだけで、本発明の特徴であるリード形状を、容易に得ることができる。

。この場合、シンプルな金型によって容易にプレス切断を行うことができるので、コスト上も有利である。

【0059】

この形成手法によれば、実施の形態2の場合に比べて、次のメリットがさらに付加される。すなわち、実質的に第2リード部22を長くすることができる。なお、例えば、図11(c)に示すように、屈曲部位が3ヶ所を超える形状とすれば、第2リード部22を長くすることができるばかりでなく、ストレスリリーフ効果による、はんだ付け部の長寿命化も実現することができる。

【0060】

以上、実施の形態3にかかる半導体装置1においても、外部基板25に実装した後における半導体装置1の剛性、半導体装置1自体の製造の容易性、及び、外部基板25への半導体装置1の実装時における位置合せ性を確保しつつ、リード4を外部基板25に挿入し、はんだ付けして実装する際の、はんだ付け性を改善することができる。

【0061】

実施の形態4.

以下、図14～図16を参照しつつ、本発明の実施の形態4を説明する。ただし、実施の形態4にかかる半導体装置は図1～図7に示す実施の形態1にかかる半導体装置と多くの共通点をもつ。そこで、以下では、説明の重複を避けるため、主として実施の形態1と異なる点を説明する。なお、図14～図16中において、図1～図7に示す実施の形態1の部材と共通な部材には、同一の参照番号が付されている。

【0062】

図14(a)は、実施の形態4にかかる半導体装置の正面図である。図14(b)は、この半導体装置の1つの端部リードを拡大して示した斜視図である。図11に示す半導体装置は、挿入実装型の半導体装置である。図14(a)、(b)に示すように、実施の形態4にかかる半導体装置1では、各端部リード4a～4dに設けられた間隙規制部9と断面積が小さい第2リード部22とが、第1リード部21に隣接し、かつ第1リード部21と同じ幅をもつ部分に長方形の穴部

24 を設けることにより形成されている。その他の点については、実施の形態1にかかる半導体装置1と同様である。つまり、実施の形態4にかかる半導体装置1は、実施の形態1にかかる半導体装置とは、端部リード4a～4dの形状が異なるだけである。

【0063】

次に、端部リード4a～4dを形成するためのタイバカット工程を説明する。

実施の形態4にかかるタイバカット工程では、図5に示すタイバ近傍部を、図15に示すタイバカットライン（破線）に沿って切断する。図15から明らかとおり、タイバ11と広幅部41と狭幅部43とを含むタイバ近傍部をこのタイバカットラインに沿って切断することにより、図14（b）に示すような間隙規制部9と第1～第3リード部21～23とを備えた端部リード4a～4dを形成することができる。したがって、ほぼ従来のこの種の半導体装置の製造プロセスと同様の製造性を確保しながら、本発明の特徴であるリード形状を、容易に得ることができる。

【0064】

図16は、端部リード4a～4dのもう1つの形成手法を示している。図16に示すように、この形成手法では、タイバ11に、長方形の角穴34が設けられたリードフレーム5を用いる。この角穴34は、タイバ11と広幅部41とにまたがって形成されている。そして、この角穴34は、直線的なタイバカットにより、タイバ11ないし広幅部41に、間隙規制部9と第2リード部22とが形成されるような形状を有している。

【0065】

この形成手法によれば、タイバカット工程で、タイバ11よりも内側に位置する広幅部41の外形に沿って、図16中の破線で示すように、直線的にタイバカットを行うだけで、本発明の特徴であるリード形状を、容易に得ることができる。この場合、シンプルな金型によって容易にプレス切断を行うことができるので、コスト上も有利である。

【0066】

この形成手法によれば、実施の形態3の場合に比べて、次のメリットがさらに

付加される。すなわち、第 2 リード部 2 2 を長くすることができる。また、第 2 リード部 2 2 の剛性を高くすることができる。なお、実施の形態 4 にかかる半導体装置 1 は、このほか、実施の形態 2 にかかる半導体装置 1 と同様の利点も備えている。

【0067】

以上、実施の形態 4 にかかる半導体装置 1 においても、外部基板 2 5 に実装した後における半導体装置 1 の剛性、半導体装置 1 自体の製造の容易性、及び、外部基板 2 5 への半導体装置 1 の実装時における位置合せ性を確保しつつ、リード 4 を外部基板 2 5 に挿入し、はんだ付けして実装する際の、はんだ付け性を改善することができる。

【0068】

実施の形態 5.

以下、図 1 7 ~ 図 1 8 を参照しつつ、本発明の実施の形態 5 を説明する。ただし、実施の形態 5 にかかる半導体装置は図 1 ~ 図 7 に示す実施の形態 1 にかかる半導体装置と多くの共通点をもつ。そこで、以下では、説明の重複を避けるため、主として実施の形態 1 と異なる点を説明する。なお、図 1 7 ~ 図 1 8 中において、図 1 ~ 図 7 に示す実施の形態 1 の部材と共通な部材には、同一の参照番号が付されている。

【0069】

図 1 7 (a) ~ (c) と図 1 8 (a)、(b) とに示すように、この実施の形態 5 にかかる半導体装置 5 1 は、実施の形態 1 にかかる半導体装置 1 とは形態が異なる。すなわち、実施の形態 5 にかかる半導体装置 5 1 は、ヒートシンクを有しない点と、リードフレーム 5 が折り曲げられている点とで、実施の形態 1 にかかる半導体装置 1 とは異なる。しかしながら、実施の形態 5 にかかる半導体装置 5 1 のその他の構成は、実施の形態 1 にかかる半導体装置 1 と同様である。

【0070】

半導体装置 5 1 では、リードフレーム 5 の折り曲げられた部位 5 a に電力用半導体素子 2 が搭載され、折り曲げられていない部位 5 b に制御用素子 3 が搭載されている。また、電力用半導体素子 2 同士の接続と、電力用半導体素子 2 とリー

ドフレーム 5 との接続には A 1 からなる金属細線 6 (A 1 細線) が用いられ、また制御用半導体素子 3 とリードフレーム 5 との接続には A u からなる金属細線 7 (A u 細線) が用いられている。上記各部材 2 ~ 7 は、全体がトランスファモールド技術によって形成されたプラスチックパッケージ 1 0 によって封止されている。ただし、リード 4 はその根元部の一部のみが封止されているだけである。

【 0 0 7 1 】

この半導体装置 5 1 の端部リード 4 a ~ 4 d は、実施の形態 1 にかかる半導体装置 1 の端部リード 4 a ~ 4 d と同様の形状に形成され、実施の形態 1 の場合と同様のタイバカット工程で形成される。しかし、半導体装置 5 1 の端部リード 4 a ~ 4 d は、実施の形態 2 ~ 4 のいずれかにかかる半導体装置 1 の端部リード 4 a ~ 4 d と同様の形状に形成され、実施の形態 2 ~ 4 のいずれかの場合と同様のタイバカット工程で形成されてもよい。この半導体装置 5 1 においては、実施の形態 1 にかかる半導体装置 1 と同様の作用・効果が得られる。なお、端部リード 4 a ~ 4 d を、実施の形態 2 ~ 4 と同様の形状に形成し、実施の形態 2 ~ 4 と同様のタイバカット工程を用いる場合は、実施の形態 2 ~ 4 にかかる半導体装置 1 と同様の作用・効果が得られるのはもちろんである。

【 0 0 7 2 】

以上、実施の形態 5 にかかる半導体装置 5 1 においても、外部基板 2 5 に実装した後における半導体装置 5 1 の剛性、半導体装置 5 1 自体の製造の容易性、及び、外部基板 2 5 への半導体装置 1 の実装時における位置合せ性を確保しつつ、リード 4 を外部基板 2 5 に挿入し、はんだ付けして実装する際の、はんだ付け性を改善することができる。

【 0 0 7 3 】

実施の形態 6 .

以下、図 1 9 ~ 図 2 0 を参照しつつ、本発明の実施の形態 6 を説明する。ただし、実施の形態 6 にかかる半導体装置は図 1 ~ 図 7 に示す実施の形態 1 にかかる半導体装置と多くの共通点をもつ。そこで、以下では、説明の重複を避けるため、主として実施の形態 1 と異なる点を説明する。なお、図 1 9 ~ 図 2 0 中において、図 1 ~ 図 7 に示す実施の形態 1 の部材と共通な部材には、同一の参照番号が

付されている。

【 0 0 7 4 】

図 1 9 (a) ~ (c) と図 2 0 (a) 、 (b) とに示すように、この実施の形態 6 にかかる半導体装置 6 1 は、実施の形態 1 にかかる半導体装置 1 とは形態が異なる。すなわち、実施の形態 6 にかかる半導体装置 6 1 は、ヒートシンク 8 がリードフレーム 5 に接合されている点と、ヒートシンク 8 が複数個に分割されている点と、ヒートシンク 8 が完全にプラスチックパッケージ 1 0 に内包されたフルモールド構造になっている点とで、実施の形態 1 にかかる半導体装置 1 とは異なる。しかしながら、実施の形態 6 にかかる半導体装置 6 1 のその他の構成は、実施の形態 1 にかかる半導体装置 1 と同様である。

【 0 0 7 5 】

半導体装置 6 1 では、リードフレーム 5 に電力用半導体素子 2 と制御用素子 3 とが搭載されている。また、電力用半導体素子 2 同士の接続と、電力用半導体素子 2 とリードフレーム 5 との接続には A 1 からなる金属細線 6 が用いられ、他方制御用半導体素子 3 とリードフレーム 5 との接続には A u からなる金属細線 7 が用いられている。さらに、リードフレーム 5 には、電力用半導体素子 2 と対向する位置にヒートシンク 8 が接合されている。上記各部材 2 ~ 8 は、全体がトランスファモールド技術によって形成されたプラスチックパッケージ 1 0 によって封止されている。ただし、リード 4 はその根元部の一部のみが封止されているだけである。

【 0 0 7 6 】

この半導体装置 6 1 の端部リード 4 a ~ 4 d は、実施の形態 1 にかかる半導体装置 1 の端部リード 4 a ~ 4 d と同様の形状に形成され、実施の形態 1 の場合と同様のタイバカット工程で形成される。しかし、半導体装置 6 1 の端部リード 4 a ~ 4 d は、実施の形態 2 ~ 4 のいずれかにかかる半導体装置 1 の端部リード 4 a ~ 4 d と同様の形状に形成され、実施の形態 2 ~ 4 のいずれかの場合と同様のタイバカット工程で形成されてもよい。この半導体装置 6 1 においては、実施の形態 1 にかかる半導体装置 1 と同様の作用・効果が得られる。なお、端部リード 4 a ~ 4 d を、実施の形態 2 ~ 4 と同様の形状に形成し、実施の形態 2 ~ 4 と同

様のタイバカット工程を用いる場合は、実施の形態 2 ～ 4 にかかる半導体装置 1 と同様の作用・効果が得られるのはもちろんである。

【 0 0 7 7 】

なお、この実施の形態 6 では、リードフレーム 5 とヒートシンク 8 とが接合されているので、トランスファモールド工程において、流動樹脂の粘性力を受ける面積が大きくなる。したがって、フレームを変形させようとする粘性力が増大しており、これによって生じるリードフレーム 5 の変形を防止するには、リード 4 の剛性を高くする必要がある。とくに、プラスチックパッケージ 1 0 に近い第 1 リード部 2 1 の剛性を高くすることが必要である。しかし、この半導体装置 6 1 のリード 4（端部リード 4 a ～ 4 d を含む）は、幅の広い第 1 リード部 2 1 を有するため該部の剛性は大きく、半導体装置 6 1 自体の製造の容易性を損なうことはない。かつ、幅の狭い第 2 リード部 2 2 と、はんだ付けされる第 3 リード部 2 3 と、間隙規制部 9 とを有するので、外部基板 2 5 への実装時のはんだ付け性を改善することができる。

【 0 0 7 8 】

実施の形態 7.

以下、本発明の実施の形態 7 を説明する。

本願発明者らは、本発明の有用性を実証するため、第 2 リード部 2 2 の断面積を、第 1 リード部 2 1 の断面積よりも小さくすることにより、はんだ付け性が改善されるかどうかを調べる実験を行った。この実験では、プラスチックパッケージ 1 0 への放熱を妨げるために断面積を低減させた第 2 リード部 2 2 の断面積と、溶融はんだから直接熱量を受ける第 3 リード部 2 3 の断面積との比、すなわち、 $(\text{第 2 リード部断面積}) / (\text{第 3 リード部断面積})$ で定義される「リード部断面積比」が重要なことから、このリード部断面積比を実験パラメータとした。

【 0 0 7 9 】

この実験では、半導体装置として、リード表面に $\text{Sn}-\text{Cu}$ はんだめっきが施された D I P I P M を用いた。また、外部基板として、ガラスエポキシ製のプリント基板を用いた。そして、はんだとして、鉛フリーはんだの中で最も一般的な $\text{Sn}-3 \text{Ag}-0.5 \text{Cu}$ はんだを用いて、フローはんだ付け実験を行った。こ

のフローはんだ付けにおいては、溶融はんだの温度は一般的な250℃とした。また、フローはんだ付け装置内での予熱条件は、一般的に同一のプリント基板上に搭載されることの多い電解コンデンサの耐熱温度（通常85℃）を越えないように考慮して決定した。この予熱条件では、プリント基板の表面温度は150℃程度まで上昇するのに対し、DIPIPMの表面温度は50℃程度までしか上昇しない。このように、部品間に大きな温度差が生じているが、これは現状のフローはんだ付け装置における限界である。

【0080】

この予熱工程において、予熱温度を高くしたり、あるいは予熱時間を長くして、DIPIPMをさらに高温になるように予熱すると、プリント基板もまた高温化される。このため、はんだ付け性自体は良好になるが、電解コンデンサの耐熱温度を超えてしまうといった問題が生じる。また、たとえこのプリント基板に電解コンデンサが搭載されていない場合でも、予熱温度を高くすると、はんだ付けプロセス時に被はんだ接合面を清浄化するために用いられるフラックスが活性力を失ってしまう。このため、肝心のはんだづけプロセス時に効果を発揮することができず、却ってはんだ付け性を損なうといった問題が生じる。したがって、このような問題を考慮すれば、予熱温度を上記以上に高くすることはできない。

【0081】

次の表1に、この実験の結果を示す。表1においては、「◎◎」、「◎」、「○」、「△」、「×」は、はんだ付け性の良好さをあらわしており、前者ほどはんだ付け性が良好であることを示している。これらのうち、「◎◎」、「◎」、「○」が、良品レベル、すなわち信頼性上も問題がないレベルである。

【0082】

また、図21に、表1において※印を付した実験結果をわかりやすく表示するため、従来のリード44b（リード断面積比300%）と、この従来のリード44bの一部を切除加工することにより本発明のリード構造を模擬したリード44a（リード断面積125%、以下「本発明の模擬リード44a」という。）とを混在させたDIPIPMにおける、はんだ付け部の拡大写真を示す。図21に示すように、従来のリード44bでは、はんだの濡れ上がりが不十分であり、スル

ーホール上面にはんだが濡れ上がっておらず、良好とは言えないはんだ付けとなっている（B）。これに対して、本発明の模擬リード44aにおいては、濡れ上がりが充分であり、良好なはんだ付けが行われていることがわかる（A）。

なお、Pb-Sn共晶はんだを用いた実験でも、改善効果の程度はやや小さくなるものの、同様の効果が得られることが確認された。

【0083】

【表1】

表1 実験結果

	リード断面積比	はんだ付け性
従来のリード構造	300%	×※
本発明のリード構造	200%	×～△
↑	175%	○
↑	150%	◎
↑	140%	◎
↑	130%	◎◎
↑	120%	◎◎※
↑	110%	◎◎
↑	100%	◎◎
↑	75%	◎◎

【0084】

この実験結果によれば、第2リード部22を備えていない従来のリード構造に比べて、断面積が小さい第2リード部22を有する本発明にかかるリード構造では、上記全サンプルにおいて、はんだ付け性が改善されていること、すなわち本発明の有効性が実証されているといえる。また、この実験結果によれば、本発明にかかるリード構造において、第2リード部22の断面積は、第3リード部23の断面積の175%以下であることが望ましいといえる。また、はんだづけプロセス時のプロセスマージンを考えれば、第2リード部22の断面積は、第3のり

ード部の断面積の 1 3 0 % 以下であることが、より望ましい。

【 0 0 8 5 】

実施の形態 8.

以下、図 2 2 を参照しつつ、本発明の実施の形態 8 にかかる半導体アセンブリモジュールを説明する。この実施の形態 8 にかかる半導体アセンブリモジュール 8 0 は、半導体装置 1 を、種々の電子部品とともにプリント基板である外部基板 2 5 に組み付けたものである。

【 0 0 8 6 】

図 2 2 に示すように、この半導体アセンブリモジュールにおいては、外部基板 2 5 (プリント基板) に、本発明にかかる半導体装置 1 が、P b フリーはんだ (S n - 3 A g - 0 . 5 C u) を用いて実装されている。外部基板 2 5 上には、半導体装置 1 のほかに、電解コンデンサ 8 1 と、ディスクリートタイプのトランジスタ 8 2 と、チップ部品 8 3 とが搭載されている。これら電子部品 8 1 ~ 8 3 が、本発明にかかる半導体装置 1 と同じ外部基板 2 5 上に実装されて、半導体アセンブリモジュール 8 0 が形成されている。本発明にかかる半導体装置 1 を用いることにより、リードのはんだ付け性が改善され、下記のとおり、種々の効果が得られる。

【 0 0 8 7 】

従来の半導体装置を用いた半導体アセンブリモジュールでは、半導体装置と外部基板とののはんだ接合部が、信頼性の乏しいはんだ付け構造となりやすかったため、実装後の検査ないし手直しが必要不可欠であった。これに対して、本発明にかかる半導体装置 1 を用いれば、はんだ付け性が良好なため、はんだ付け部の信頼性に優れた半導体アセンブリモジュール 8 0 を容易に得ることができる。このため、従来行われている目視検査工程や手直し工程を削減することが可能となり、半導体アセンブリモジュール 8 0 のコストを低減することができる。さらに、半導体アセンブリモジュール 8 0 の信頼性が安定して高く維持されるので、これを用いた最終製品の信頼性を安定して高く維持することが容易となる。

【 0 0 8 8 】

なお、この半導体アセンブリモジュール 8 0 において、外部基板 2 5 に実装さ

れる電子部品の種類ないし数は、図 2 2 中に例示されたものに限定されるわけではない。また、ここでは、本発明によるはんだ付け性の改善効果が著しい P b フリーはんだ (S n - 3 A g - 0 . 5 C u) を用いた実装手法を例示している。しかし、P b - S n 共晶はんだ等を用いる場合でも同様の効果が期待できるので、はんだ種は、P b フリーはんだに限定されるわけではない。ただし、P b - S n 共晶はんだ、あるいは P b - S n 共晶はんだよりも高温側に液相線温度を有するはんだの方が、はんだ付け性の改善効果が顕著であるので、これらのはんだを用いるのが望ましい。

【 0 0 8 9 】

ところで、前記の各実施の形態にかかる半導体装置 1、5 1、6 1 では、いずれも、リード 4 (端部リード 4 a ~ 4 d を含む) は、プラスチックパッケージ 1 0 の側面から外部に突出し、途中でほぼ 9 0 度曲げられている。しかし、これらの半導体装置 1、5 1、6 1 において、リード 4 は、プラスチックパッケージ 1 0 の側面以外の部位、例えばプラスチックパッケージ 1 0 の上面等から突出していてもよい。

【 0 0 9 0 】

前記の各実施の形態にかかる半導体装置 1、5 1、6 1 では、いずれも、リード 4 が、プラスチックパッケージ 1 0 の 2 つの側面から突出しているが、4 つの側面から突出していても、また 1 つの側面から突出していてもよい。また、これらの半導体装置 1、5 1、6 1 では、リード 4 は、途中で 1 回だけ曲げられている。しかし、リード 4 は、外部基板 2 5 への挿入実装が可能な形態をしていれば、途中で曲げられていなくてもよく、また途中で 2 回以上曲げられていてもよい。

【 0 0 9 1 】

前記の各実施の形態で用いられるはんだの組成について、P b フリーはんだという限定を加えている場合は、P b を含まない S n をベースとするはんだであればよい。また、とくには限定を加えていない場合は、はんだの種類は問わない。ただし、前記のとおり、P b - S n 共晶はんだか、P b - S n 共晶はんだよりも高温側に液相線温度を有するはんだの方が、はんだ付け性の改善効果が顕著であるので、これらのはんだを用いるのが望ましい。

【 0 0 9 2 】

前記の各実施の形態では、外部基板 2 5 として、ガラスエポキシ製のプリント基板を例示している。しかし、外部基板 2 5 はこのようなものに限られるわけではなく、紙フェノール、コンポジットを主材料とするプリント基板であってもよい。また、半導体装置 1、5 1、6 1 を挿入実装することができる外部電気部品であれば、基板でなくてもよい。

【 0 0 9 3 】

【発明の効果】

本発明の第 1 の態様にかかる半導体装置によれば、リードからプラスチックパッケージに向かう放熱経路の熱抵抗の増加によってリードの温度上昇性が向上し、はんだ付け性が改善される。また、第 1 リード部の剛性が大きいので、半導体装置の製造の容易性が損なわれない。よって、はんだ付け実装プロセスにおいて、予熱温度や供給する溶融はんだの温度を高めることなく、またプロセス時間を長くすることなく、挿入実装型の半導体装置をはんだ付けにより外部電気部材に容易かつ確実に実装することができる。

【 0 0 9 4 】

第 1 の態様にかかる半導体装置において、リードが、リードフレームの一部として形成されている場合は、リードの位置合わせが容易となる。

【 0 0 9 5 】

第 1 の態様にかかる半導体装置において、両端のリードのみが間隙規制用リードである場合は、半導体装置の外部電気部材に対する位置を最もよく安定させることができる。なお、1 列中で最小 2 つのリードが間隙規制用リードであれば、半導体装置と外部電気部材との間隙を一定に保つことができるが、該列の両端のリードが間隙規制用リードである場合は、半導体装置の外部電気部材に対する位置が最もよく安定する。

【 0 0 9 6 】

第 1 の態様にかかる半導体装置において、第 1 リード部の厚さと第 2 リード部の厚さとが同一であり、かつ第 2 リード部の幅が第 1 リード部の幅よりも狭い場合は、同一厚さの通常のリードフレームを用いることができるので、半導体装置

のコストを低減することができる。

【 0 0 9 7 】

第 1 の態様にかかる半導体装置において、リードが銅又は銅を主成分とする合金で形成されている場合は、リードの熱伝導率が大いので、はんだ付け性の改善の効果がより大きくなる。

【 0 0 9 8 】

第 1 の態様にかかる半導体装置において、第 2 リード部の断面積が、第 3 リード部の断面積の 1 7 5 % 以下である場合、とくに 1 3 0 % 以下である場合は、はんだ付け性の改善の効果が、とくに大きくなる。

【 0 0 9 9 】

第 1 の態様にかかる半導体装置において、半導体素子が電力用半導体素子を含む場合、すなわち半導体装置がパワーモジュールに用いられる場合は、大電流を取り扱う関係上、リードの厚さが大きくなるので、はんだ付け性改善の効果がとくに大きくなる。

【 0 1 0 0 】

第 1 の態様にかかる半導体装置において、第 2 リード部の断面積が第 3 リード部の断面積と同一である場合は、最も効率の良い（電流容量/熱抵抗）リード形状となる。第 3 リード部の形状はリードの電流容量から決定されるケースが多いので、第 2 のリード部は第 3 のリード部よりも細くはできないからである。

【 0 1 0 1 】

第 1 の態様にかかる半導体装置において、間隙規制手段が、リード幅方向に関して両方向に突起する形状に形成されている場合は、半導体装置を間隙規制手段の両サイドで支えることができるので、半導体装置の安定性が高くなる。

【 0 1 0 2 】

この半導体装置において、間隙規制手段のリード幅が、第 1 リード部のリード幅と同一である場合は、リードひいては半導体装置の製造が容易となる。

【 0 1 0 3 】

また、この半導体装置において、リードが、第 1 リード部に対応する広幅部と、第 3 リード部に対応する狭幅部と、広幅部と狭幅部とを連結するとともに 2 つ

の穴部が形成されたタイバ部とを有するリードフレームを直線状に切断することにより形成されたものである場合は、タイバカットが容易となり、その金型の寿命が長くなり、半導体装置のコストが低減される。また、半導体装置自体の製造性を悪化させない。

【 0 1 0 4 】

本発明の第 2 の態様にかかる半導体装置によれば、基本的には、本発明の第 1 の態様にかかる半導体装置と同様の効果が得られる。さらに、間隙規制手段が、リードに 2 個所以上の屈曲個所を設けることにより形成されているので、第 2 リード部を長くすることができ、はんだ付け性の改善の効果がより大きくなる。

【 0 1 0 5 】

第 2 の態様にかかる半導体装置において、第 3 リード部が、リード幅方向に関して、第 1 リード部が形成されている範囲内に形成され、かつ、リード幅方向の一方側で、第 1 リード部の側辺と第 3 リード部の側辺とが同一直線上に位置している場合は、半導体装置の製造が容易となる。

【 0 1 0 6 】

第 2 の態様にかかる半導体装置において、リードが、第 1 リード部に対応する広幅部と、第 3 リード部に対応する狭幅部と、広幅部と狭幅部とを連結するとともに 1 つの穴部が形成されたタイバ部とを有するリードフレームを直線状に切断することにより形成されたものである場合は、タイバカットが容易となり、その金型の寿命が長くなり、半導体装置のコストが低減される。また、半導体装置自体の製造性を悪化させない。

【 0 1 0 7 】

本発明の第 3 の態様にかかる半導体装置によれば、基本的には、本発明の第 1 の態様にかかる半導体装置と同様の効果が得られる。さらに、間隙規制用リードにおいては、第 2 リード部と間隙規制手段とが、第 1 リード部よりもリード先端側でリードに穴部を設けることにより形成されているので、第 2 リード部の剛性が高くなる。

【 0 1 0 8 】

第 3 の態様にかかる半導体装置において、第 2 リード部の両側辺と第 1 リード

部の両側辺とが、それぞれ、同一直線上に位置する場合は、半導体装置の製造が容易となる。

【 0 1 0 9 】

第 3 の態様にかかる半導体装置において、リードが、第 1 リード部に対応する広幅部と、第 3 リード部に対応する狭幅部と、広幅部と狭幅部とを連結するとともに 1 つの穴部が形成されたタイバ部とを有するリードフレームを直線状に切断することにより形成されたものである場合は、タイバカットが容易となり、その金型の寿命が長くなり、半導体装置のコストが低減される。また、半導体装置自体の製造性を悪化させない。

【 0 1 1 0 】

第 1 ～第 3 の態様のいずれか 1 つにかかる半導体装置において、穴部が、対向する 2 辺がリード伸長方向又はリード幅方向と平行である長方形の角穴である場合は、第 2 リード部の幅が一定となるので、適正なリード断面積を得ることが容易となる。

【 0 1 1 1 】

第 1 の態様にかかる半導体装置において、リードが、第 1 リード部に対応する広幅部と、第 3 リード部に対応する狭幅部と、広幅部と狭幅部とを連結するとともに狭幅部側の部位に 2 つの切欠部が形成されたタイバ部とを有するリードフレームを直線状に切断することにより形成されたものである場合は、タイバカットが容易となり、その金型の寿命が長くなり、半導体装置のコストが低減される。また、半導体装置自体の製造性を悪化させない。

【 0 1 1 2 】

第 1 ～第 3 の態様のいずれか 1 つにかかる半導体装置において、リードに、S n を基材とし、P b を含まないはんだがコーティングされている場合は、液相線温度が高い P b フリーはんだによるはんだ付け性を向上させることができる。なお、はんだ付け実装のプロセスの検査で、コーティングされたはんだの状態を確認することにより、リードが良好なはんだ付けが可能な温度レベルまで温度上昇したどうかを簡単に判定することができる。

【 0 1 1 3 】

本発明にかかる半導体アセンブリモジュールによれば、はんだ付け性の向上した半導体装置を用いるので、半導体装置をはんだを用いて外部電気部材に容易にかつ確実に実装することができる。

【 0 1 1 4 】

上記半導体アセンブリモジュールにおいて、半導体装置が、錫を基材とし、鉛を含まないはんだを用いて外部電気部材に実装されている場合は、液相線温度が高い P b フリーはんだによるはんだ付け性を向上させることができる。

【図面の簡単な説明】

【図 1】 (a) ~ (d) は、それぞれ、実施の形態 1 にかかる半導体装置の平面図、正面図、後面図及び側面図である。

【図 2】 (a) は、図 1 に示す半導体装置の側面断面図であり、(b) はこの半導体装置の 1 つの端部リードを拡大して示した斜視図である。

【図 3】 実施の形態 1 にかかる半導体装置が外部基板に実装された状態を示す正面図である。

【図 4】 リードフレームの平面図である。

【図 5】 図 4 に示すリードフレーム中のタイバ部を拡大して示した図である。

【図 6】 タイバ部を切断して実施の形態 1 にかかる端部リードを形成するためのタイバカット手法を示す図である。

【図 7】 タイバ部を切断して実施の形態 1 にかかる端部リードを形成するためのもう 1 つのタイバカット手法を示す図である。

【図 8】 (a) は実施の形態 2 にかかる半導体装置の正面図であり、(b) はこの半導体装置の 1 つの端部リードを拡大して示した斜視図である。

【図 9】 タイバ部を切断して実施の形態 2 にかかる端部リードを形成するためのタイバカット手法を示す図である。

【図 1 0】 タイバ部を切断して実施の形態 2 にかかる端部リードを形成するためのもう 1 つのタイバカット手法を示す図である。

【図 1 1】 (a) は実施の形態 3 にかかる半導体装置の正面図であり、(b) はこの半導体装置の 1 つの端部リードを拡大して示した斜視図であり、(c

）は端部リードの変形例を示す斜視図である。

【図 1 2】 （a）はタイバ部を切断して実施の形態 3 にかかる端部リードを形成するためのタイバカット手法を示す図であり、（b）は図 1 1（c）に示す端部リードの変形例を形成するためのタイバカット手法を示す図である。

【図 1 3】 タイバ部を切断して実施の形態 3 にかかる端部リードを形成するためのもう 1 つのタイバカット手法を示す図である。

【図 1 4】 （a）は実施の形態 4 にかかる半導体装置の正面図であり、（b）はこの半導体装置の 1 つの端部リードを拡大して示した斜視図である。

【図 1 5】 タイバ部を切断して実施の形態 4 にかかる端部リードを形成するためのタイバカット手法を示す図である。

【図 1 6】 タイバ部を切断して実施の形態 4 にかかる端部リードを形成するためのもう 1 つのタイバカット手法を示す図である。

【図 1 7】 （a）～（c）は、それぞれ、実施の形態 5 にかかる半導体装置の平面図、正面図及び側面図である。

【図 1 8】 （a）及び（b）は、それぞれ、実施の形態 5 にかかる半導体装置の後面図及び側面断面図である。

【図 1 9】 （a）～（c）は、それぞれ、実施の形態 6 にかかる半導体装置の平面図、正面図及び側面図である。

【図 2 0】 （a）及び（b）は、それぞれ、実施の形態 6 にかかる半導体装置の後面図及び側面断面図である。

【図 2 1】 リードと外部基板とのはんだ付け部の金属の接合状態（金属構造）を示す図面に代わる写真である。

【図 2 2】 実施の形態 8 にかかる半導体アセンブリモジュールの斜視図である。

【図 2 3】 （a）～（d）は、それぞれ、従来の半導体装置の平面図、正面図、後面図及び側面図である。

【図 2 4】 図 2 3 に示す従来の半導体装置の側面断面図である。

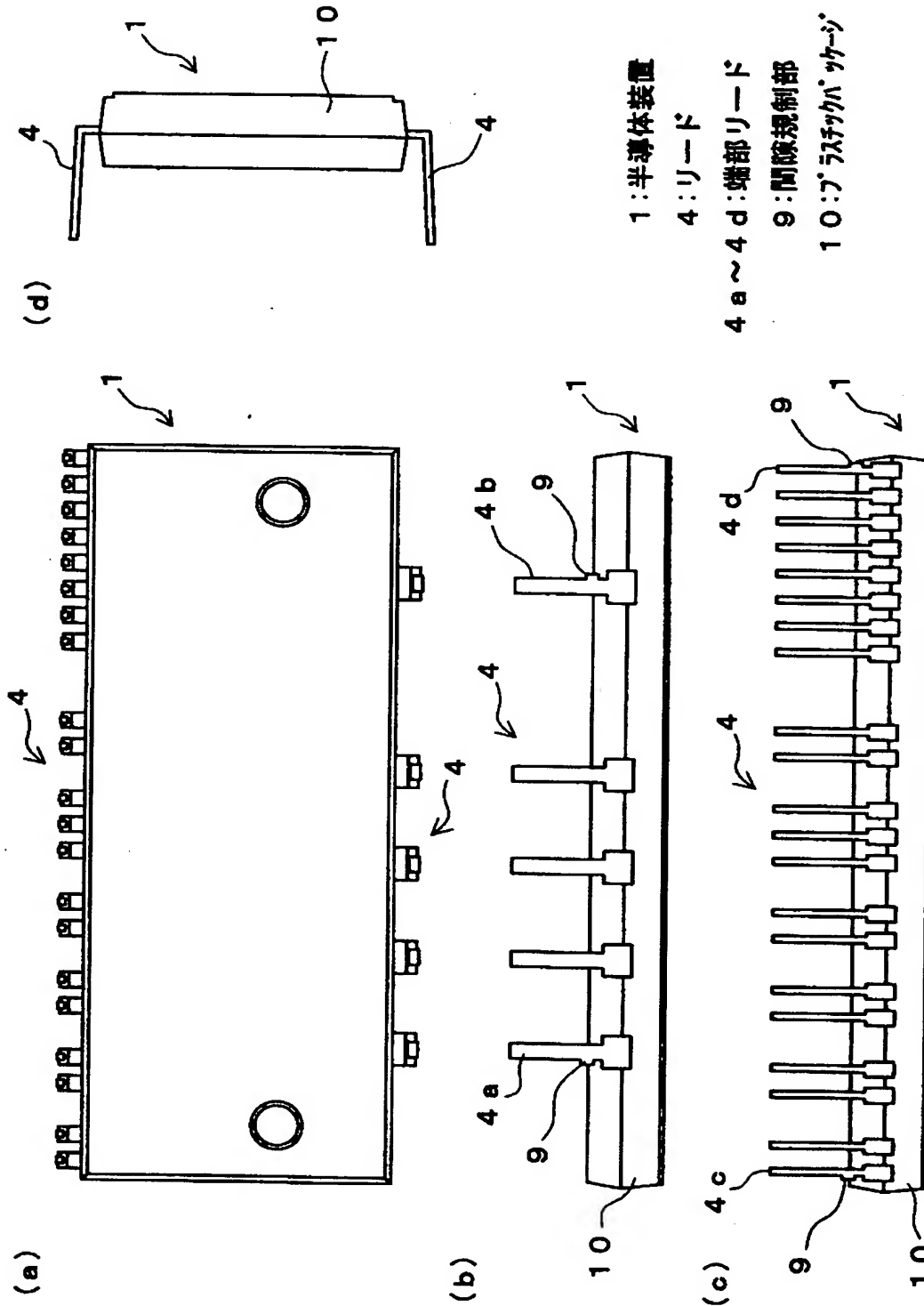
【図 2 5】 従来のもう 1 つの半導体装置の構成を示す正面図である。

【符号の説明】

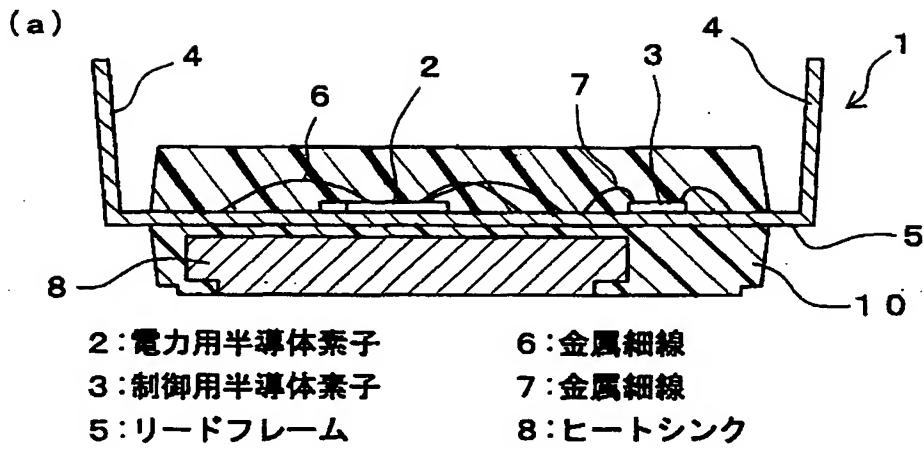
1 半導体装置、 2 電力用半導体素子、 3 制御用半導体素子、 4
リード、 4 a 端部リード、 4 b 端部リード、 4 c 端部リード、 4
d 端部リード、 5 リードフレーム、 6 金属細線、 7 金属細線、
8 ヒートシンク、 9 間隙規制部、 1 0 プラスチックパッケージ、 1
1 タイバ、 2 1 第 1 リード部、 2 2 第 2 リード部、 2 3 第 3 リー
ド部、 2 4 穴部、 2 5 外部基板、 2 6 スルーホール、 3 1 切欠
部、 3 2 角穴、 3 3 角穴、 3 4 角穴、 4 1 広幅部、 4 3 狭
幅部、 4 4 a 模擬リード、 4 4 b 従来のリード、 5 1 半導体装置、
6 1 半導体装置、 8 0 半導体アセンブリモジュール、 8 1 電解コン
デンサ、 8 2 トランジスタ、 8 3 チップ部品。

【書類名】 図面

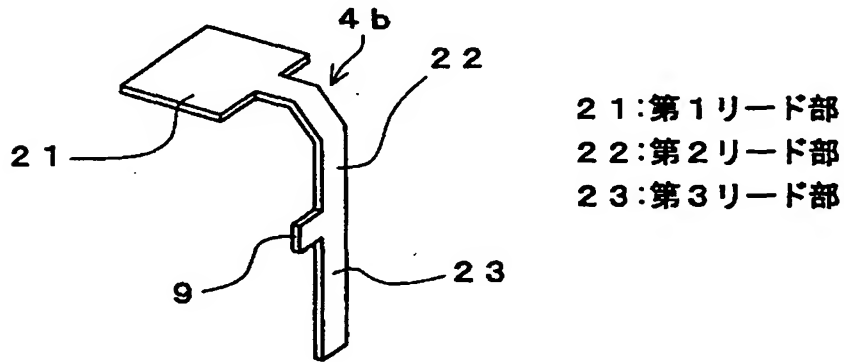
【図 1】



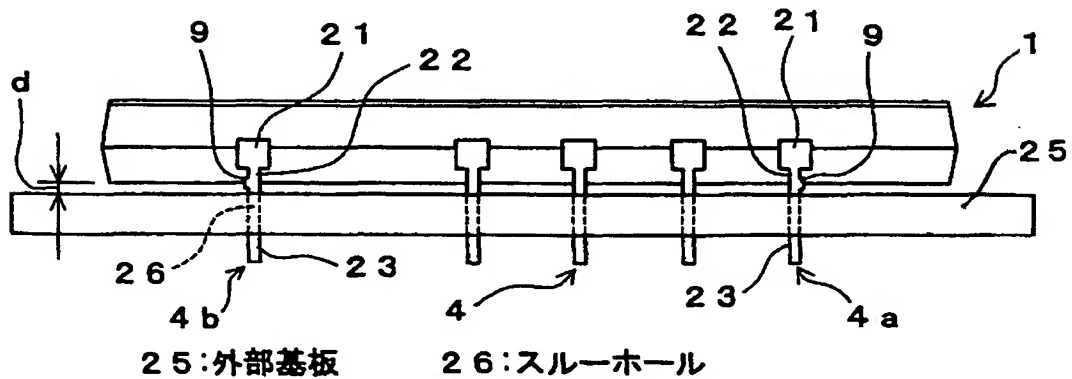
【図 2】



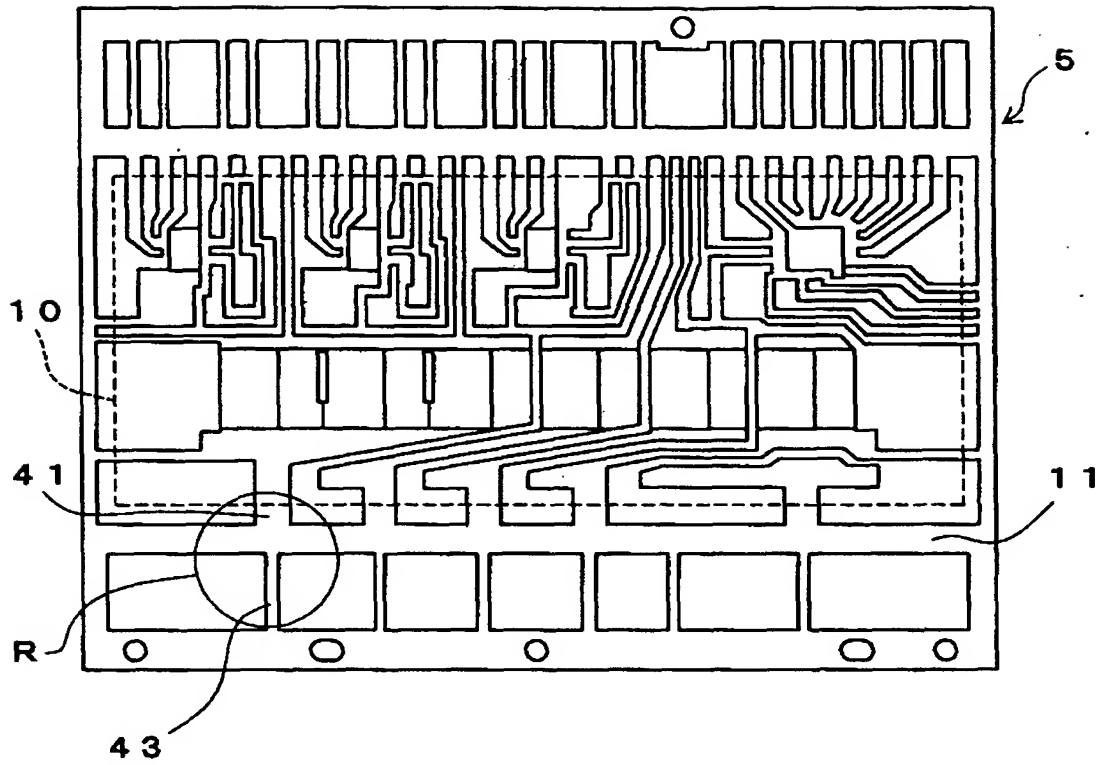
(b)



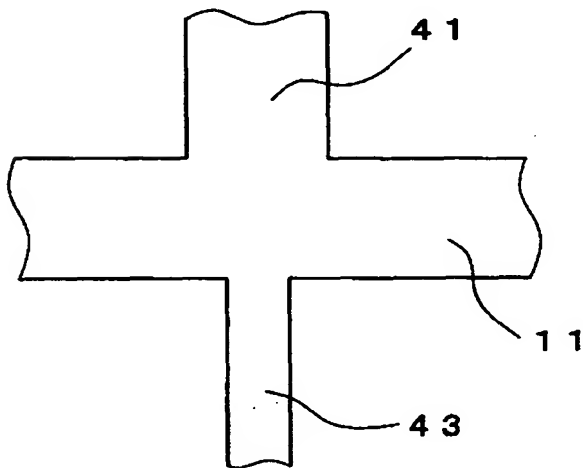
【図 3】



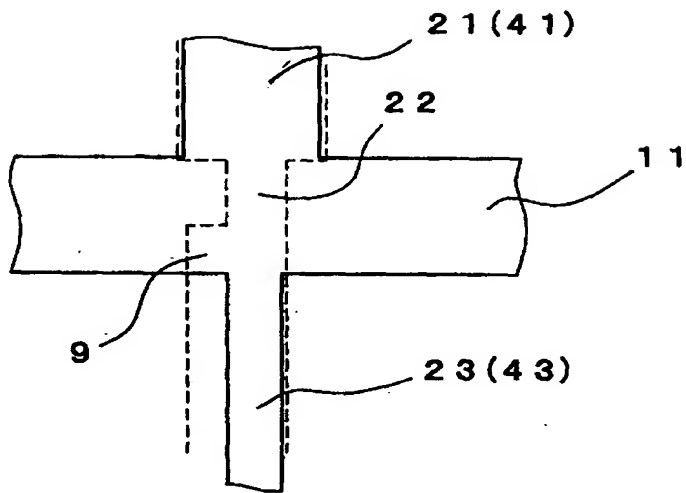
【図4】



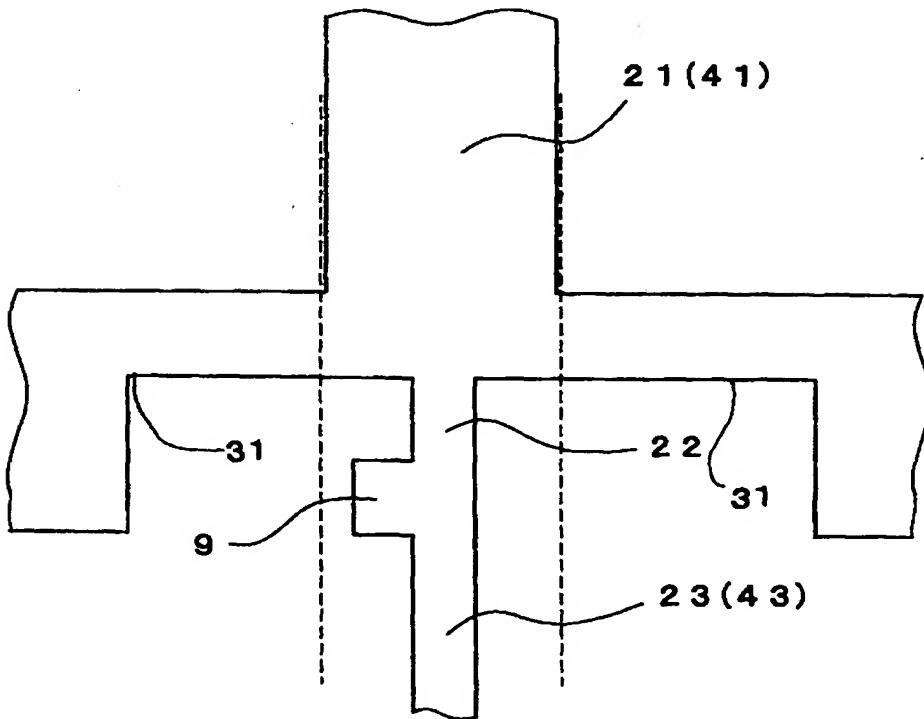
【図5】



【図 6】

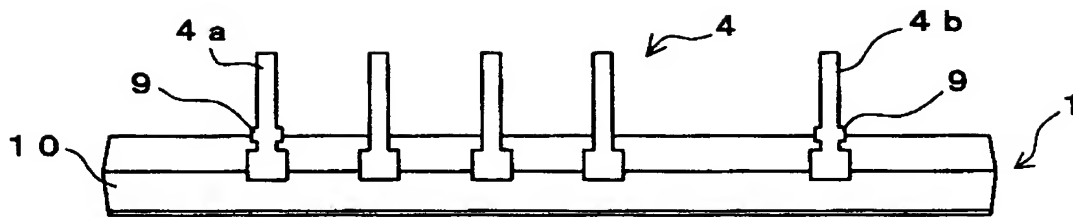


【図 7】

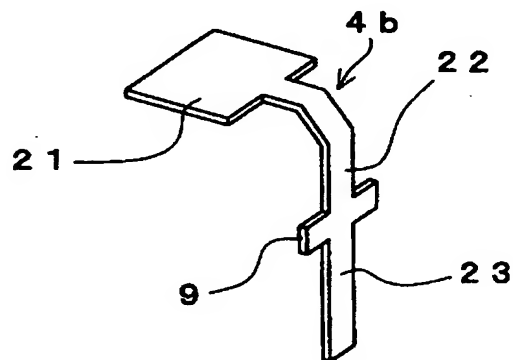


【図 8】

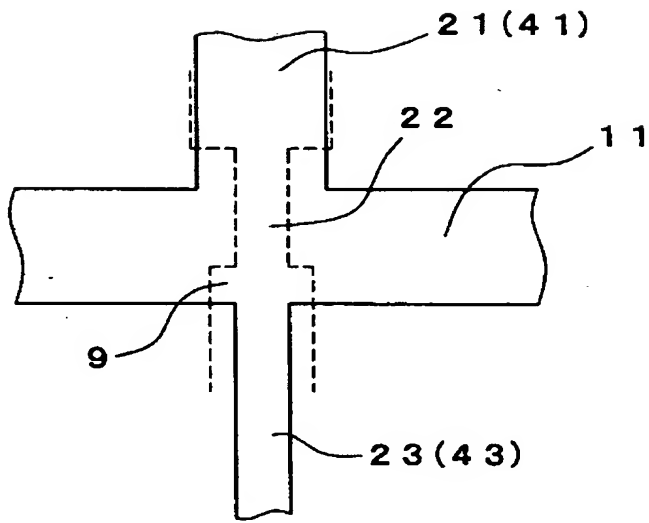
(a)



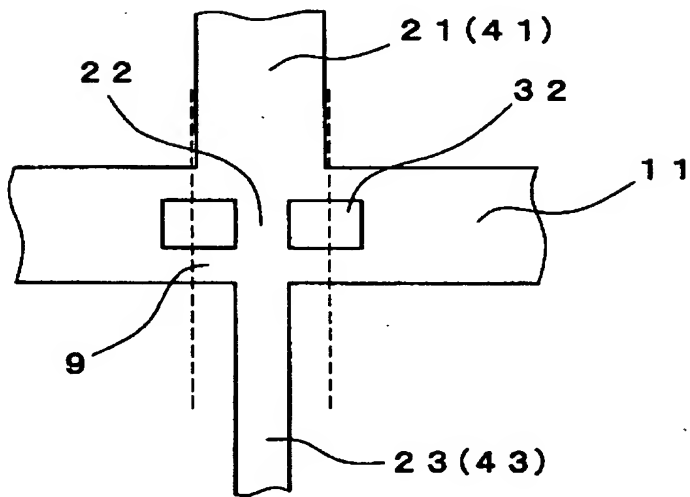
(b)



【図 9】

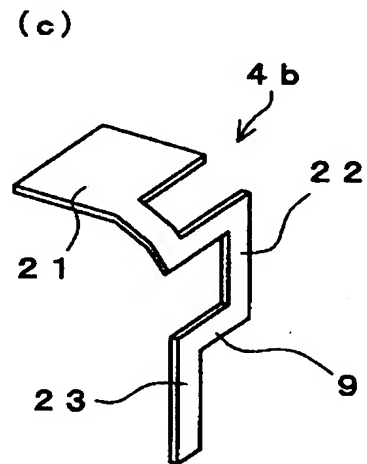
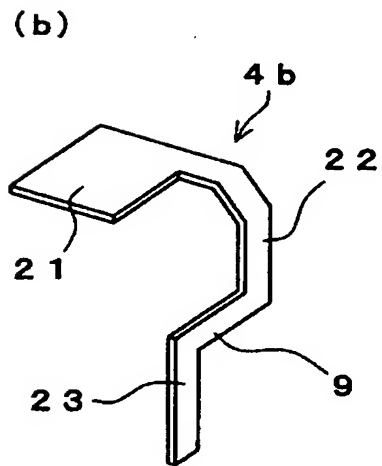
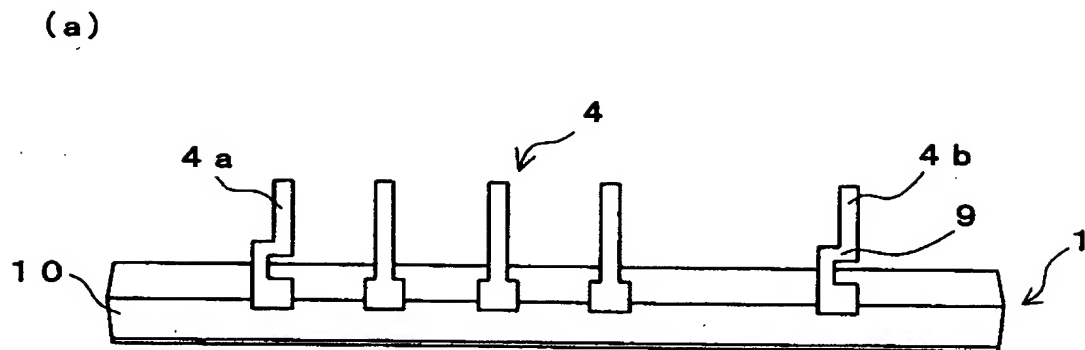


【図 1 0】



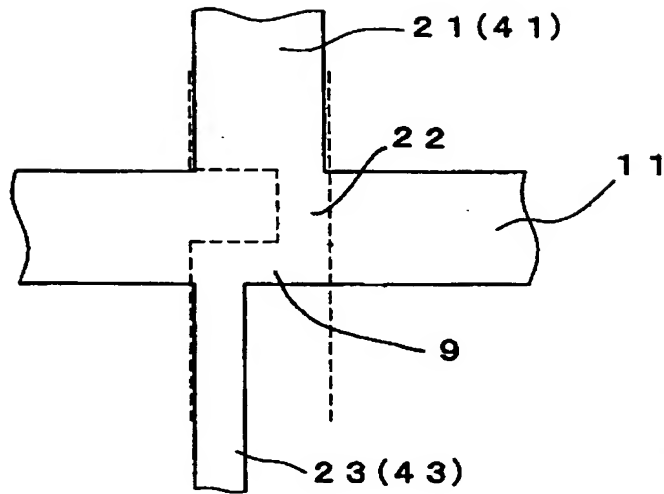
3 2 : 角 穴

【図 1 1】

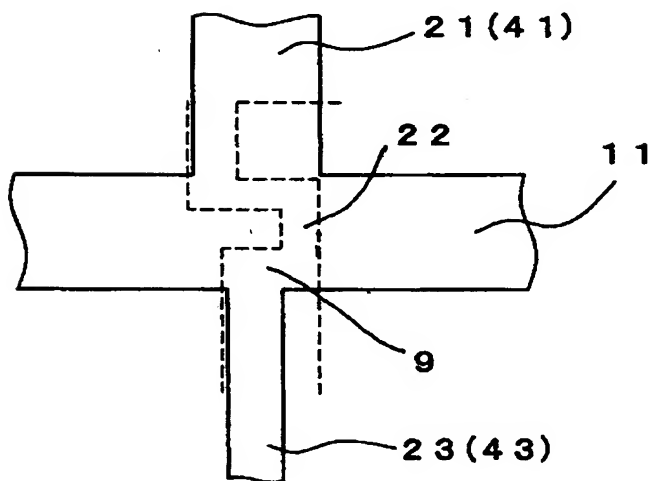


【図 1 2】

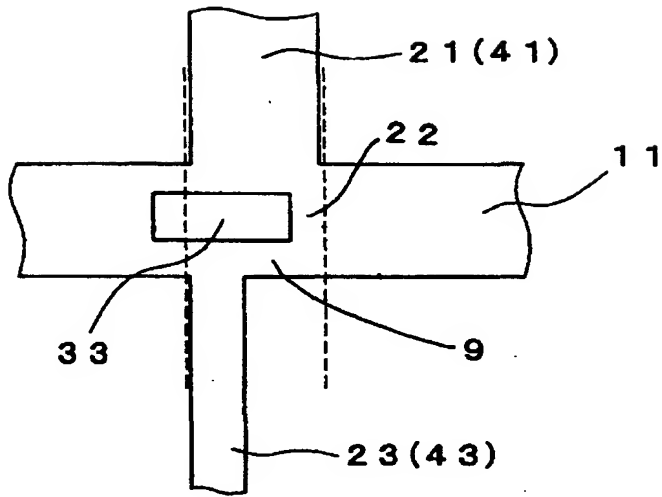
(a)



(b)

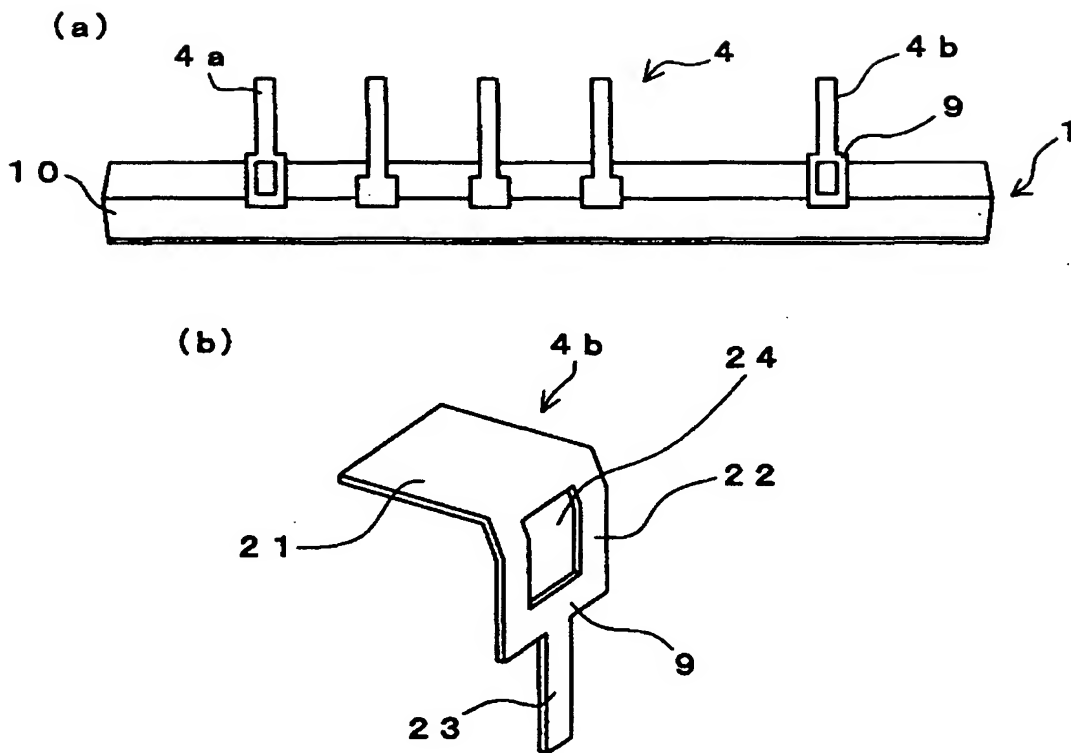


【図 1 3】

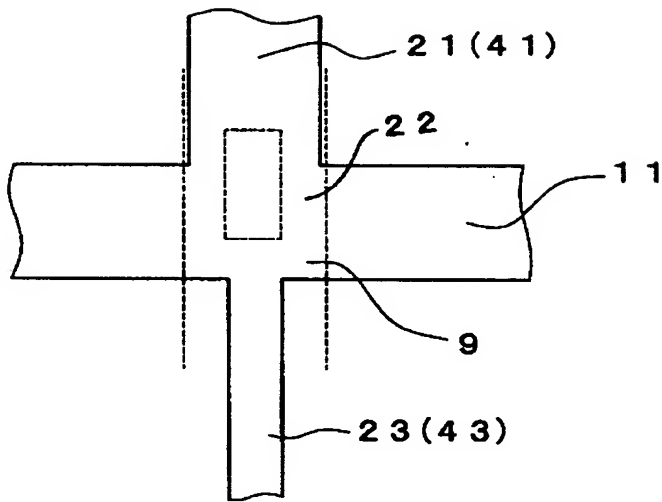


33:角穴

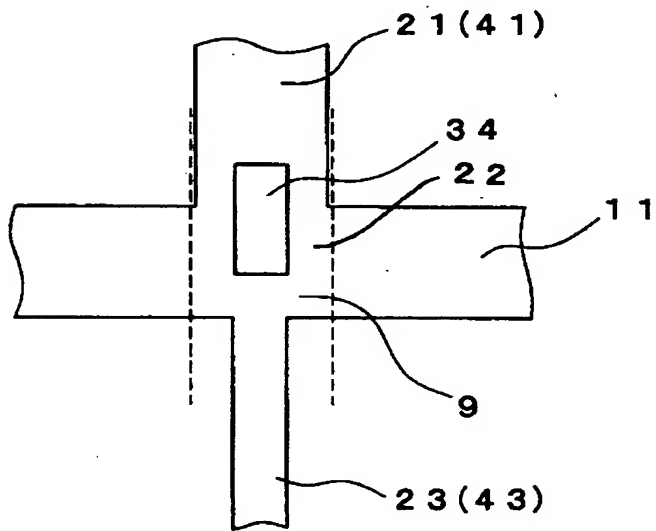
【図 1 4】



【図 15】

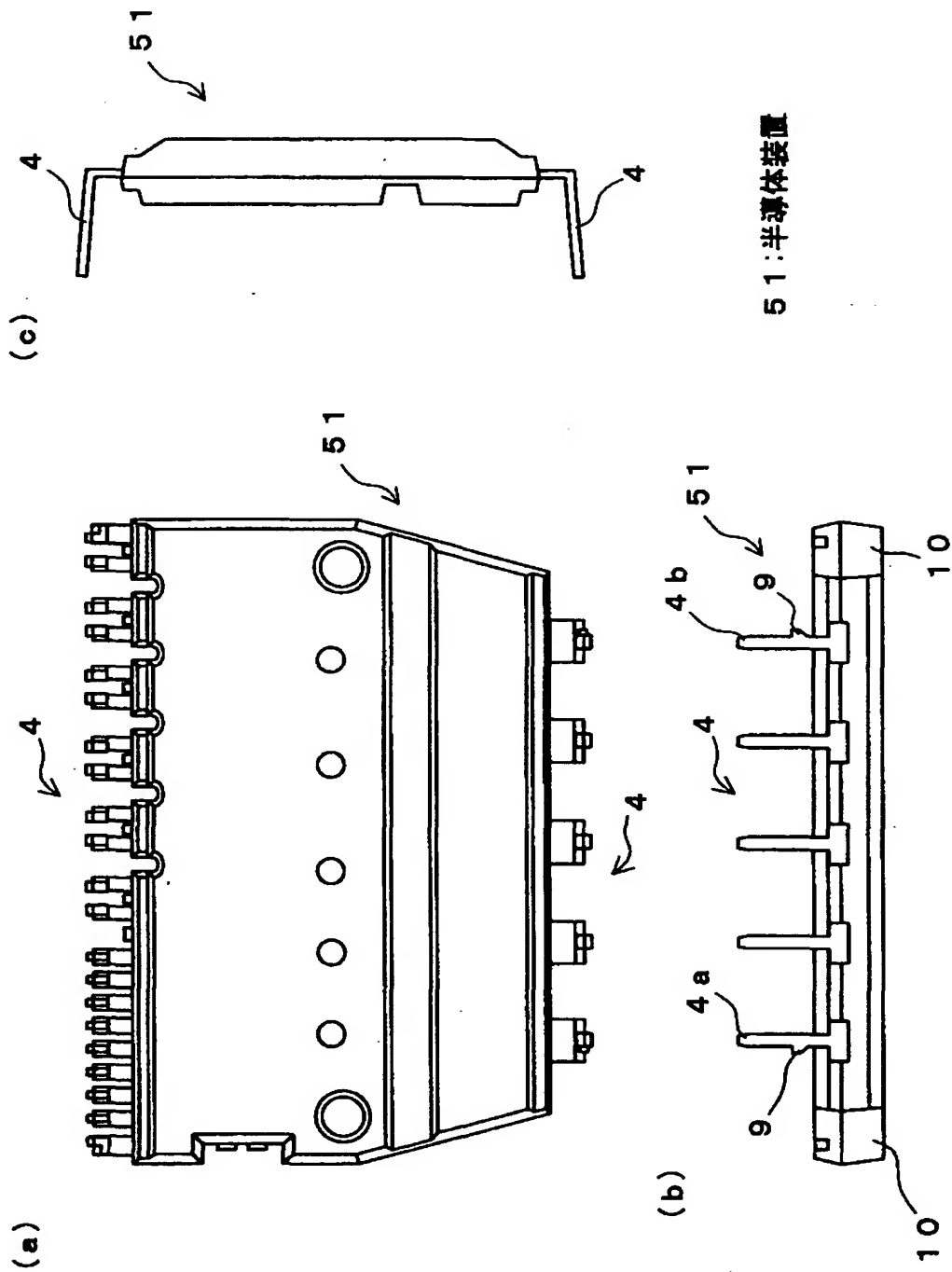


【図 16】



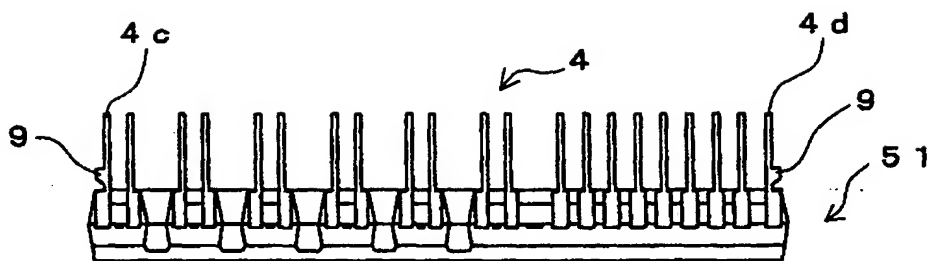
34:角穴

【図 1 7】

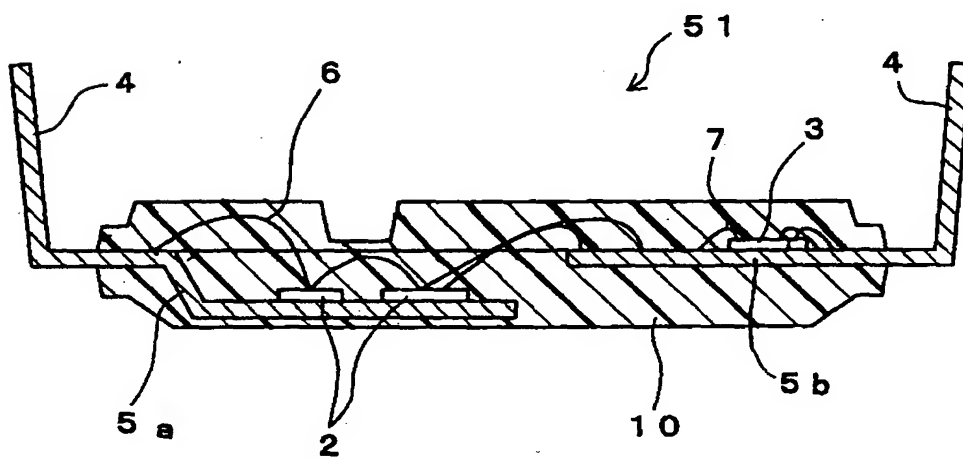


【図18】

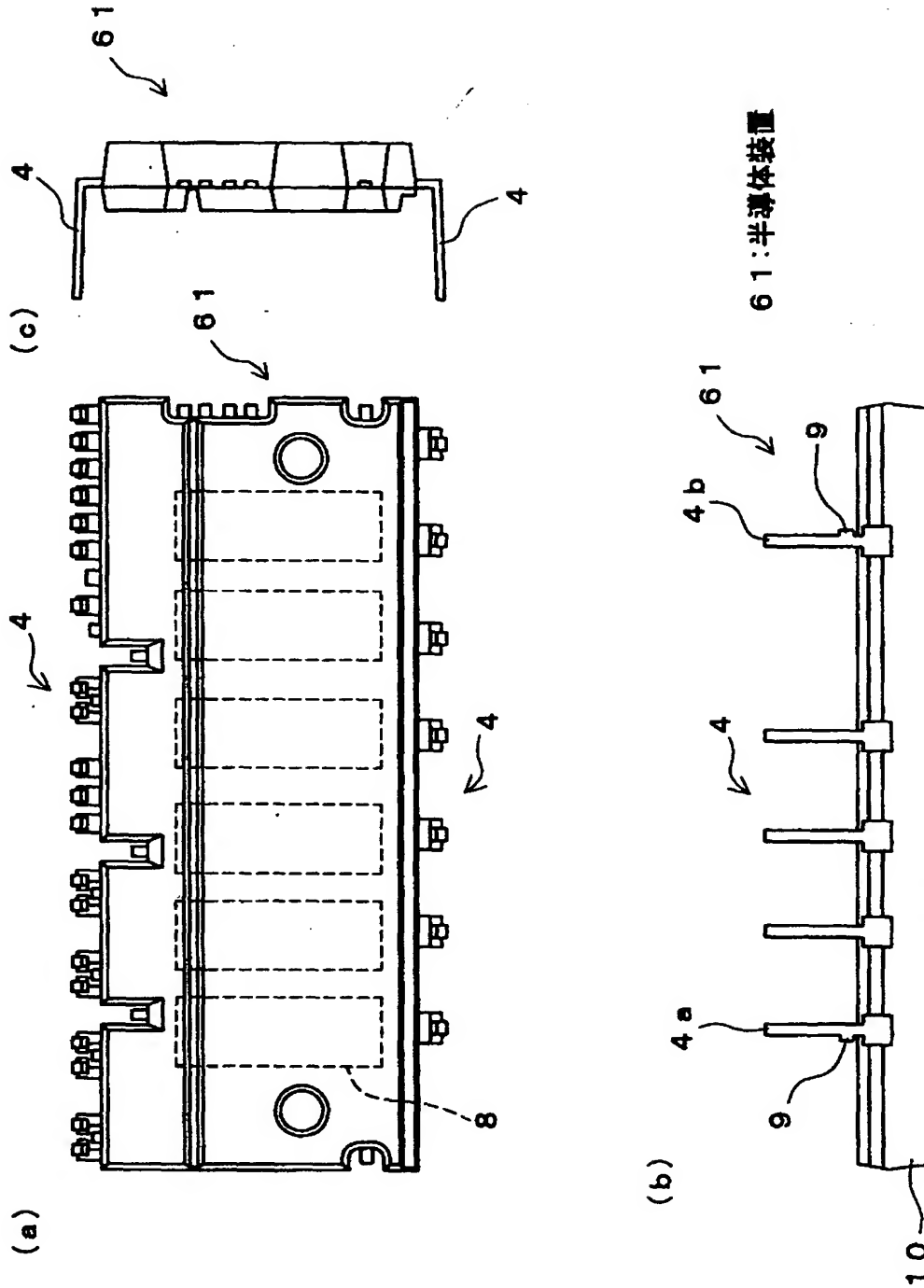
(a)



(b)

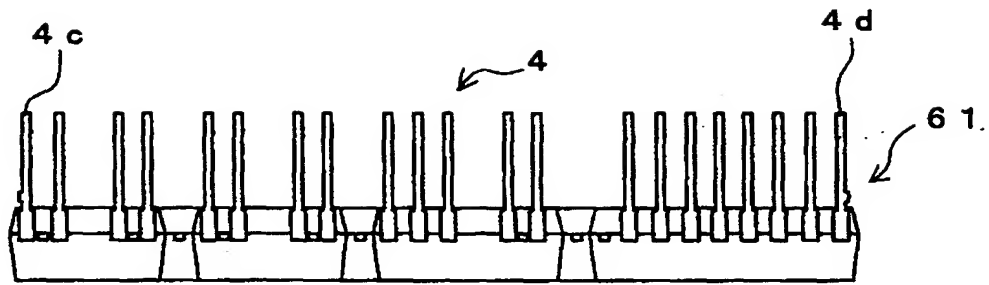


【図19】

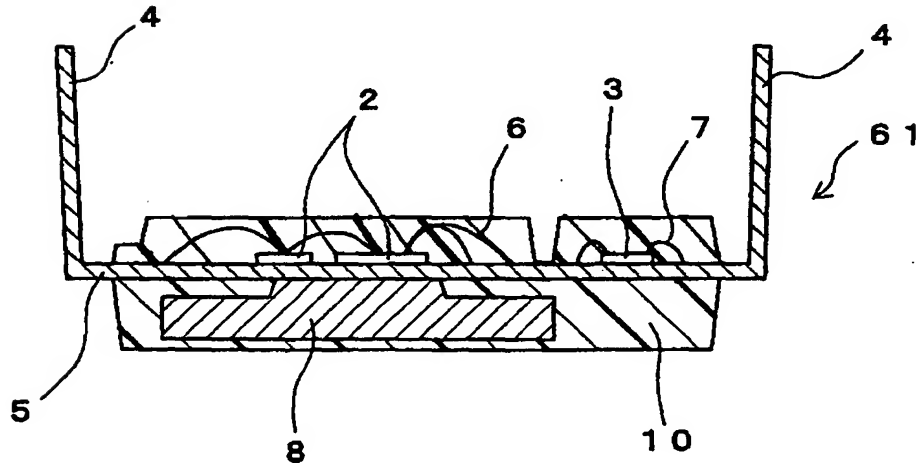


【図 2 0】

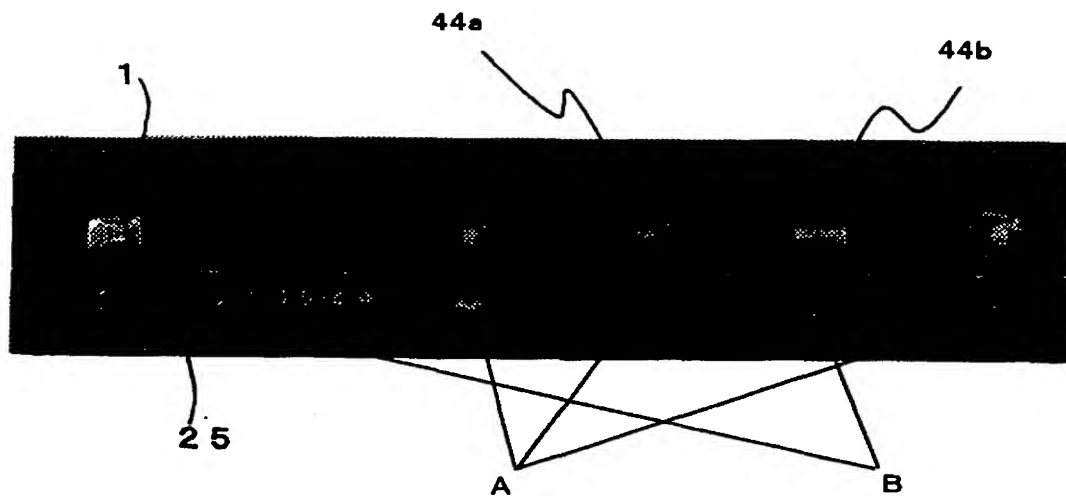
(a)



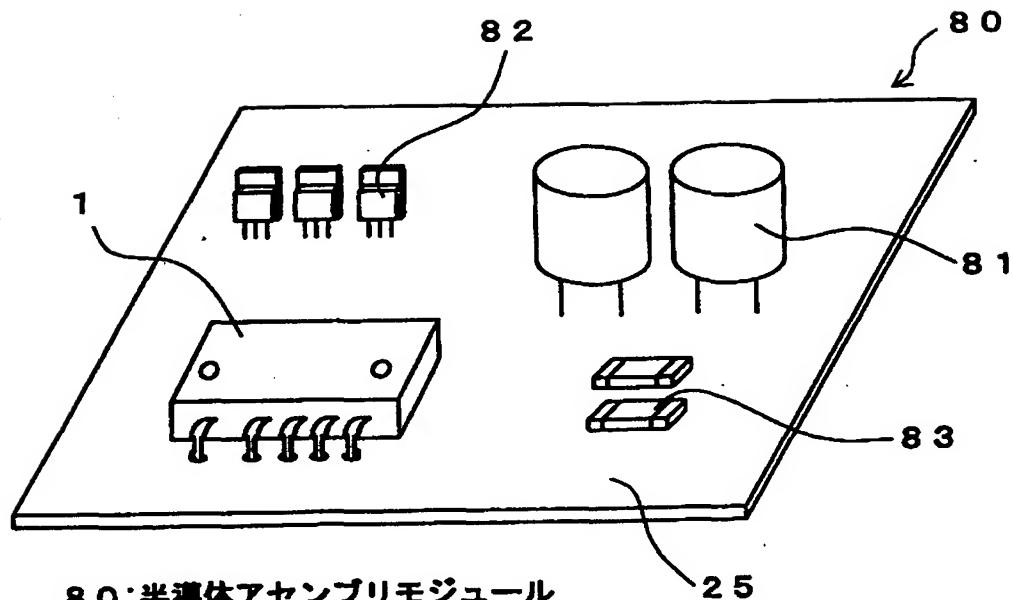
(b)



【図 21】

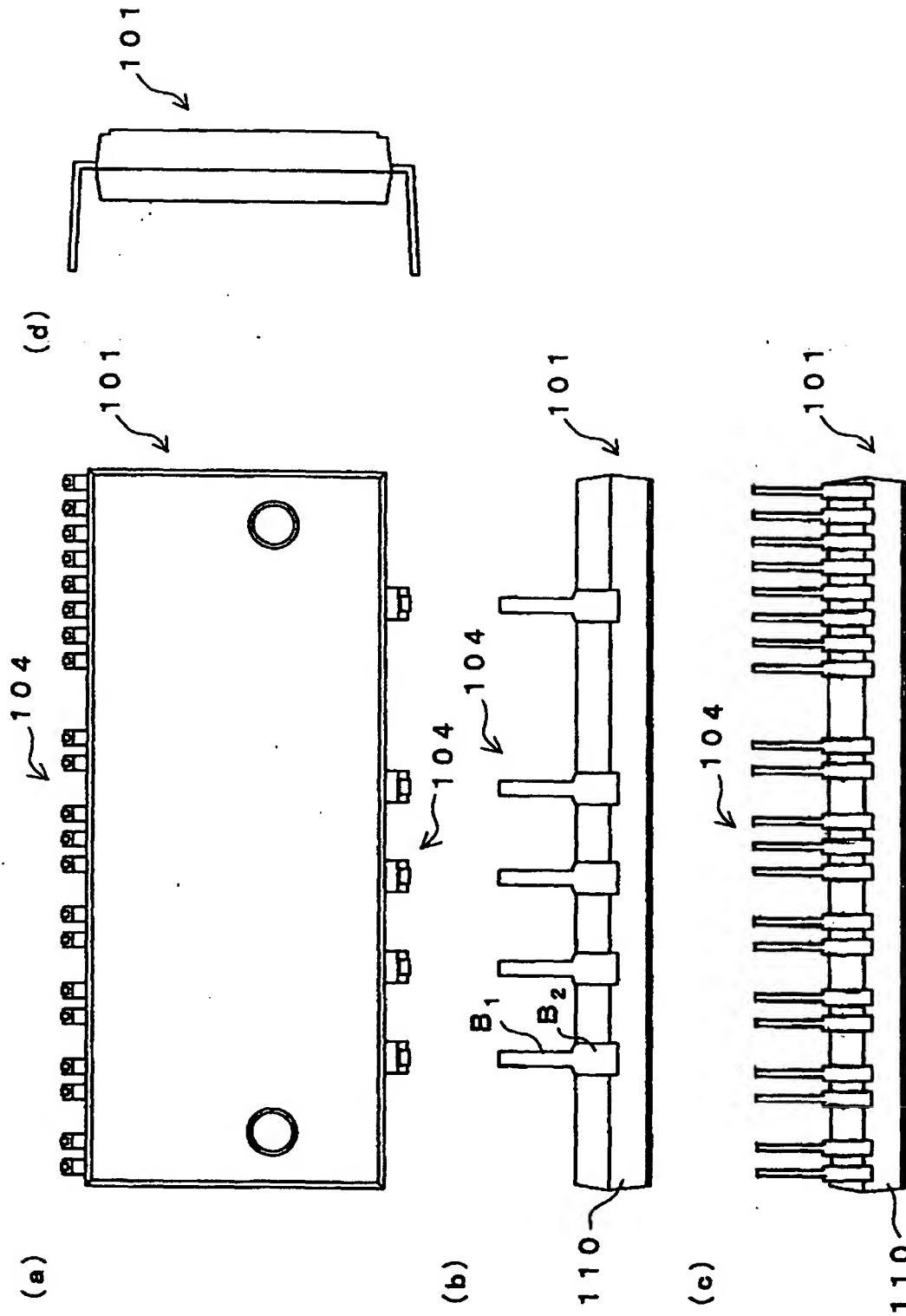


【図 22】

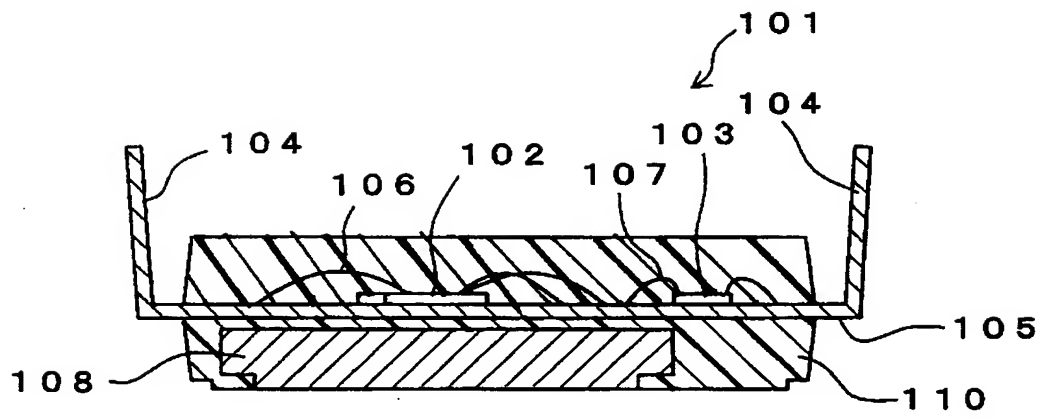


- 80: 半導体アセンブリモジュール
 81: 電解コンデンサ
 82: トランジスタ
 83: チップ部品

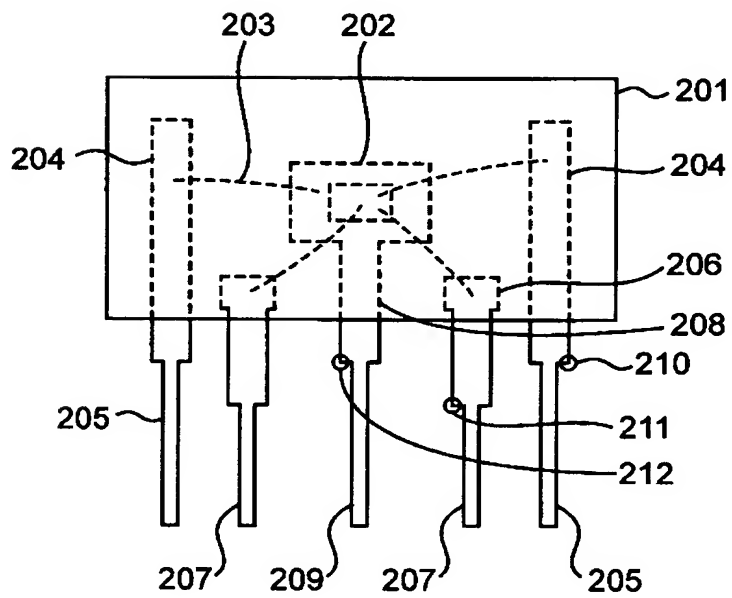
【図 23】



【図24】



【図25】



【書類名】 要約書

【要約】

【課題】 挿入実装型の半導体装置をはんだ付けにより外部基板等に容易にかつ確実に実装することを可能にする手段を提供する。

【解決手段】 半導体装置 1 においては、半導体素子 2、3 が、リード 4 を備えたリードフレーム 5 に搭載されている。半導体素子 2、3 は、金属細線 6、7 によりリード 4 と接続されている。半導体装置 1 はヒートシンク 8 も備えている。各部材 2～8 はプラスチックパッケージ 10 によって封止されている。リード 4 はプラスチックパッケージ外に露出している。端部リード 4 a～4 d には、幅の広い第 1 リード部と、幅の狭い第 2 リード部と、外部基板に挿入される第 3 リード部と、半導体装置 1 と外部基板との間隙を一定に保つ突起状の間隙規制部 9 とが設けられている。リード 4 からプラスチックパッケージ 10 への放熱経路の熱抵抗の増加によりリードの温度上昇性が向上し、はんだ付け性が改善される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社